

Оглавление

Введение.....	24
ГЛАВА 1. Ключевые схемы.....	27
§1.1. Базовая ключевая схема	27
1.1.1. Схема с идеальным ключом.....	27
1.1.2. Временная диаграмма выходного напряжения	28
1.1.3. Ограничение величины внешнего резистора снизу.....	28
1.1.4. Влияние сопротивления нагрузки	29
1.1.5. Мощность, выделяемая на ключе.....	29
1.1.6. Реальный ключ	30
§1.2. Влияние емкостей на форму импульсов	31
1.2.1. Влияние емкости нагрузки	31
1.2.2. Интегрирующая цепочка	32
1.2.3. Дифференцирующая цепочка	32
§1.3. Свойства полупроводникового диода.....	34
1.3.1. Вольтамперная характеристика	34
1.3.2. Эквивалентная схема проводящего диода	35
1.3.2. Эквивалентная схема непроводящего диода.....	36
§1.4. Диодные логические элементы	37
1.4.1. Схема диодного ключа	37
1.4.2. Диодный логический элемент «И» (AND)	38
1.4.3. Диодный логический элемент «ИЛИ» (OR)	39
1.4.4. «Монтажное ИЛИ»	40
§1.5. Диодные ограничители уровня сигнала	41
1.5.1. Ограничитель отрицательного сигнала.....	41
1.5.2. Параллельный ограничитель отрицательной полярности.....	42
1.5.3. Ограничитель положительного напряжения сверху.....	42
1.5.4. Двусторонний ограничитель на стабилитроне.....	43
§1.6. Свойства биполярного транзистора в ключевом режиме	44
1.6.1. Режимы работы биполярного транзистора.....	44
1.6.2. Токи транзистора в режиме глубокой отсечки	46
1.6.3. Токи транзистора в режиме с оборванной базой.....	47
1.6.4. Токи транзистора в режиме «заземленной» базы.....	47
1.6.5. Схемы замещения непроводящего транзистора.....	48
1.6.6. Токовое условие насыщения биполярного транзистора	49
1.6.7. Схема замещения проводящего транзистора.....	50
§1.7. Ключ на биполярном транзисторе.....	51
1.7.1. Схема и работа ключа	51
1.7.2. Условие работоспособности ключа в режиме отсечки.....	52

1.7.3. Условие работоспособности ключа в режиме насыщения.....	54
1.7.4. Упрощенный порядок расчета ключа.....	55
§1.8. Переходный процесс при включении биполярного	
транзистора	55
1.8.1. Метод заряда.....	55
1.8.2. Процесс включения транзистора.....	56
1.8.3. Нахождение времени включения	57
1.8.4. Режим сильного запирающего сигнала	58
1.8.5. Режим слабого отпирающего сигнала	59
§1.9. Переходный процесс при выключении биполярного	
транзистора	59
1.9.1. Временные диаграммы	59
1.9.2. Нахождение времени выключения.....	60
1.9.3. Режим сильного запирающего сигнала	61
1.9.4. Режим слабого запирающего сигнала	61
1.9.5. Учет заряда в области коллектора.....	62
§1.10. Повышение быстродействия ключа на биполярном	
транзисторе	62
1.10.1. Оптимальная форма базового тока	62
1.10.2. Ключ с ускоряющим конденсатором	63
1.10.3. Выбор емкости ускоряющего конденсатора.....	64
1.10.4. Экспериментальная оценка правильности выбора C_y	66
1.10.5. Ключ с нелинейной обратной связью (ОС)	66
1.10.6. Преимущества и недостатки ключа с нелинейной ОС.....	68
<hr/>	
ГЛАВА 2. Интегральные логические элементы	69
§2.1. Разновидности логических интегральных элементов	
на биполярных транзисторах	69
2.1.1. Резистивно-транзисторная логика (РТЛ)	69
2.1.2. Диодно-транзисторная логика (ДТЛ)	70
2.1.3. ДТЛ элемент с одним источником питания	71
2.1.4. Многоэмиттерный транзистор.....	72
§2.2. Структура ТТЛ элемента.....	73
2.2.1. Иллюстративная схема ТТЛ элемента	73
2.2.2. Двухтранзисторный выходной каскад.....	73
2.2.3. «Сквозной» ток двухтранзисторного выходного каскада.....	74
2.2.4. Программное управление двухтранзисторным каскадом	76
§2.3. Базовая схема ТТЛ элемента.....	76
2.3.1. Функциональная схема.....	76
2.3.2. «Фазоразделитель»	76
2.3.3. Базовая схема ТТЛ элемента	77
2.3.4. Работа ТТЛ элемента.....	78

2.3.5. Работа ТТЛ элементов на общую информационную линию.....	79
2.3.6. ТТЛ элемент с открытым коллектором	80
2.3.7. ТТЛ элемент с третьим состоянием	81
§2.4. Параметры и характеристики ТТЛ элемента	82
2.4.1. Основные параметры	82
2.4.2. Входная характеристика	82
2.4.3. Определение входных токов ТТЛ элемента	83
2.4.4. Определение порогового напряжения.....	84
2.4.5. Передаточная характеристика	85
2.4.6. Особенности выходных (нагрузочных) характеристик	85
2.4.7. Единичная нагрузочная характеристика	86
2.4.8. Нулевая нагрузочная характеристика	87
2.4.9. Временные параметры.....	87
§2.5. Нормализация входного сигнала для ТТЛ элемента	89
2.5.1. Двухключевая схема	89
2.5.2. Схема с одним верхним ключом	89
2.5.3. Схема с верхним ключом и резистором	90
2.5.4. Схема с нижним ключом и резистором	90
2.5.5. Преобразователь двуполярного напряжения в ТТЛ уровень	91
2.5.6. Стабилитронный ограничитель двуполярного сигнала.....	92
§2.6. Ключи на полевых транзисторах	93
2.6.1. Общие сведения о МОП транзисторах	93
2.6.2. Ключ на полевом транзисторе	94
2.6.3. Схемы замещения полевого транзистора	95
2.6.4. Ключ на полевом транзисторе с транзисторной нагрузкой	97
2.6.5. Ключ на разнотипных МОП транзисторах	97
2.6.6. Быстродействие ключей на полевых транзисторах	98
§2.7. Логика на полевых транзисторах	99
2.7.1. Общие сведения	99
2.7.2. МОПТЛ элементы на однородных транзисторах	100
2.7.3. Базовая схема кМОПТЛ элемента «И-НЕ»	101
2.7.4. Характеристики кМОПТЛ элемента	102
<hr/>	
ГЛАВА 3. Подключение нагрузки к выходу микросхем.....	104
§3.1. Подключение нагрузки без преобразования уровня сигнала... 104	
3.1.1. Нагрузка в виде входов логических элементов.....	104
3.1.2. Нагрузка в виде светодиода.....	105
3.1.3. Параллельная работа элементов	106
§3.2. Однокаскадные ключи для преобразования уровня	
выходного сигнала	107
3.2.1. Использование элемента с открытым электродом.....	107
3.2.2. Внешний ключ на $n-p-n$ транзисторе	107
3.2.3. Внешний ключ без источника смещения	108

3.2.4. Внешний ключ на $p-n-p$ транзисторе	109
§3.3. Двухкаскадные ключевые усилители	109
3.3.1. Ключ на составном транзисторе	110
3.3.2. Устранение недостатков составного транзистора	111
3.3.3. Двухкаскадный ключ	111
3.3.4. Защита мощных выходных транзисторов	112
3.3.5. Ключ с двуполярным выходным напряжением	113
3.3.6. Микросхемы с наборами мощных ключей	114
§3.4. Ключи на мощных полевых транзисторах	115
3.4.1. Ключ на полевом транзисторе с низковольтным управлением	115
3.4.2. Ключ на полевом транзисторе с преобразованием управляющего уровня	116
3.4.3. Биполярный транзистор с изолированным затвором	117
<hr/>	
ГЛАВА 4. Ключевые устройства с гальваническим разделением входа и выхода	118
§4.1. Ключевые устройства с оптической связью	118
4.1.1. Транзисторный оптрон	118
4.1.2. Коэффициент передачи тока оптрона	120
4.1.3. Параметры транзисторного оптрона	120
4.1.4. Оптонный преобразователь тока в ТТЛ сигнал	121
§4.2. Оптически управляемый тиристорный ключ	123
4.2.1. Основные свойства тиристора	123
4.2.2. Недостатки тиристора	124
4.2.3. Оптически управляемый тиристорный ключ	124
4.2.4. Особенности релейного режима	125
4.2.5. Фазоимпульсное управление тиристором	126
4.2.6. Управление мощностью за счет пропуска полупериодов	127
§4.3. Особенности электромагнитных цепей	127
4.3.1. Основные магнитные параметры	128
4.3.2. Закон полного тока	129
4.3.3. Закон электромагнитной индукции (закон Фарадея)	130
4.3.4. Магнитные материалы	130
§4.4. Уравнения импульсного трансформатора	131
4.4.1. Общие сведения	131
4.4.2. Интегральное уравнение импульсного трансформатора	132
4.4.3. Оценка вторичного напряжения	133
4.4.4. Оценка токов трансформатора	133
4.4.5. Временные диаграммы	134
§4.5. Режимы работы импульсного трансформатора	134
4.5.1. Воздействие на сердечник однополярных импульсов	134
4.5.2. Введение немагнитного зазора	136
4.5.3. Действие импульса большой длительности	136

§4.6. Искажения, вносимые трансформатором.....	137
4.6.1. Эквивалентная схема трансформатора	137
4.6.2. Формирование вершины импульса	138
4.6.3. Разрыв индуктивной цепи	140
4.6.5. Колебания при разрыве индуктивной цепи.....	141
4.6.6. Экспериментальная оценка параметров трансформатора.....	142
4.6.7. Формирование фронта выходного сигнала	142
§4.7. Ключ с импульсным трансформатором	143
4.7.1. Схема	143
4.7.2. Процесс формирования импульса	144
4.7.3. Процесс формирования выброса	145
4.7.4. Параметры выброса.....	145
4.7.5. Оценка числа витков трансформатора.....	146
4.7.6. Расчет сопротивлений ключа.....	147
<hr/>	
ГЛАВА 5. Основы схемотехники ИОУ	148
§5.1. Обратная связь в усилителях.....	148
5.1.1. Общие сведения об усилителях	148
5.1.2. Разновидности обратной связи	150
5.1.3. Коэффициент усиления усилителя с ПОС.....	151
5.1.4. Коэффициент усиления усилителя с ООС.....	152
5.1.5. Общие свойства отрицательной ОС.....	153
5.1.6. Самовозбуждение усилителя.....	154
5.1.7. Методы срыва генерации	154
5.1.8. Основные требования к усилительным каскадам	155
§5.2. Параметры усилительного каскада	156
5.2.1. Схемы включения транзисторов	156
5.2.2. Эквивалентная схема усилительного каскада с ОЭ	156
5.2.3. Входное сопротивление схемы с ОЭ.....	157
5.2.4. Коэффициент усиления напряжения для схемы с ОЭ.....	158
5.2.5. Выходное сопротивление схемы с ОЭ.....	158
5.2.6. Схема и входное сопротивление эмиттерного повторителя.....	159
5.2.7. Коэффициент усиления ЭП по напряжению.....	160
5.2.8. Выходное сопротивление ЭП	160
§5.3. Простейшие УПТ	161
5.3.1. УПТ на одном транзисторе.....	161
5.3.2. Дрейф нулевого уровня УПТ	162
5.3.3. Усилительный каскад с термокомпенсацией.....	163
5.3.4. Дифференциальный каскад.....	164
§5.4. Структура и параметры ИОУ.....	165
5.4.1. Описание иллюстративной схемы ИОУ	165
5.4.2. Условное графическое обозначение (УГО)	166
5.4.3. Параметры входной цепи	168

5.4.4. Параметры выходной цепи	169
5.4.5. Передаточные параметры.....	169
5.4.6. Частотные и временные параметры.....	170
5.4.7. Типы ИОУ.....	170
§5.5. Неинвертирующий УПТ на основе ИОУ	171
5.5.1. Схема	171
5.5.2. Коэффициент усиления.....	172
5.5.3. Входное сопротивление	173
5.5.4. Главные особенности неинвертирующего УПТ.....	173
5.5.5. Порядок расчета	174
5.5.6. Числовой пример расчета	174
§5.6. Инвертирующий УПТ на основе ИОУ	175
5.6.1. Схема	175
5.6.2. Коэффициент усиления.....	176
5.6.3. Входное сопротивление	177
5.6.4. Зависимость коэффициента β от сопротивления R_y	177
5.6.5. Главные особенности инвертирующего УПТ	178
5.6.6. Порядок расчета	179
5.6.7. Числовой пример расчета	179
§5.7. Погрешности УПТ	180
5.7.1. Общие сведения.....	180
5.7.2. Потенциальная аддитивная составляющая	181
5.7.3. Токовая аддитивная составляющая	182
5.7.4. Оценка общей аддитивной погрешности.....	183
5.7.5. Мультипликативная погрешность	184
<hr/>	
ГЛАВА 6. Примеры использования УПТ на ИОУ.....	186
§6.1. Использование инвертирующего УПТ	186
6.1.1. Инвертирующий сумматор напряжений	186
6.1.2. Интегратор	187
6.1.3. Преобразователь тока в напряжение.....	188
6.1.4. Устранение неинформационного нулевого уровня.....	190
§6.2. Использование неинвертирующего УПТ	191
6.2.1. Повторитель напряжения	191
6.2.2. Неинвертирующий сумматор напряжений	192
6.2.3. Усилитель с программируемым усилением	192
§6.3. Дифференциальные УПТ с обратной связью.....	193
6.3.1. Усилитель разности однополярных напряжений	193
6.3.2. Усилитель разности с повышенным входным сопротивлением.....	195
6.3.3. Усилитель разности с повышенным коэффициентом усиления	195
6.3.4. Измерительный усилитель разности	196
§6.4. Усилитель с мощным выходным каскадом	197
6.4.1. Общие сведения.....	197

6.4.2. Эмиттерный повторитель класса А	198
6.4.3. Двухтактный эмиттерный повторитель класса В	199
6.4.3. Достоинства и недостатки каскада класса В	199
6.4.4. Усилитель с мощным выходным каскадом	200
6.4.6. Выбор типа транзисторов выходного каскада	201
6.4.7. Усилительный каскад класса D	202
§6.5. Усилители переменного напряжения	203
6.5.1. Расчет разделительного конденсатора	203
6.5.2. Инвертирующий УНЧ	204
6.5.3. Влияние нулевого уровня УПТ	204
6.5.4. Порядок расчета инвертирующего УНЧ	205
6.5.5. Неинвертирующий УНЧ	205
6.5.6. Неинвертирующий УНЧ с раздельной ООС по переменному и постоянному токам	207
6.5.6. Неинвертирующий УНЧ с повышенным входным сопротивлением	208
§6.6. Однополярное питание усилителей	209
6.6.1. Смещение информационной составляющей	209
6.6.2. Учет смещения сигнала при обработке	210
6.6.3. Инвертирующий УНЧ с однополярным питанием	211
6.6.4. Параметры ИОУ при однополярном питании	212
6.6.5. Получение отрицательного напряжения из импульсов	214
§6.7. Генератор синусоидальных колебаний	215
6.7.1. Общие сведения	215
6.7.2. Условия возникновения генерации в усилительной схеме	216
6.7.3. Схема генератора Вина	216
6.7.4. Коэффициент передачи звена обратной связи	217
6.7.5. Нахождение частоты генерации	217
6.7.6. Нахождение требуемого коэффициента усиления	218
§6.8. Кварцевые генераторы	218
6.8.1. Свойства кварцевого резонатора	219
6.8.2. Кварцевый генератор на неинвертирующем усилителе	220
6.8.3. Кварцевый генератор на инвертирующем усилителе	222
<hr/>	
ГЛАВА 7. Внутренние ресурсы ОВМ семейства x51	224
§7.1. Общее описание ОВМ x51	224
7.1.1. Внутренняя структура ОВМ	224
7.1.2. Процессорное ядро	224
7.1.3. Внутренняя периферия	225
7.1.4. Условное графическое обозначение	226
7.1.5. Служебные выводы общего назначения	227
7.1.6. Выводы для обслуживания внешней памяти	229
7.1.7. Альтернативные функции порта P3	230

§7.2. Особенности выходных цепей портов	230
7.2.1. Выходные цепи порта P0.....	230
7.2.2. Выходные цепи портов P1, P2, P3.....	231
7.2.3. Особенности маловыводного варианта x51.....	232
7.2.4. Подключение нагрузки к выводу порта.....	233
7.2.5. Внешний ключ на <i>n-p-n</i> транзисторе.....	235
7.2.6. Внешний ключ на <i>p-n-p</i> транзисторе.....	237
§7.3. Работа ОВМ и структура памяти	237
7.3.1. Общие сведения.....	237
7.3.2. Структура памяти команд (ПЗУ).....	238
7.3.3. Способы занесения кодов во внутреннее ПЗУ.....	239
7.3.4. Структура памяти данных.....	240
7.3.5. Навигация по ячейкам памяти.....	241
§7.4. Спецрегистры ОВМ x51	242
7.4.1. Аккумулятор.....	242
7.4.2. Регистр признаков.....	242
7.4.3. «Нефиксируемые» признаки результата.....	244
7.4.4. Особые биты регистра признаков.....	244
7.4.5. Регистры указатели.....	244
7.4.6. Спецрегистры внутренней периферии (SFR).....	245
§7.5. Память данных – регистры и операнды	246
7.5.1. Структура основного ОЗУ.....	246
7.5.2. Определение операндов пользователя.....	247
7.5.3. Использование зарегистрированных имен.....	248
§7.6. Методы адресации операндов	248
7.6.1. Непосредственная адресация.....	248
7.6.2. Регистровая адресация.....	249
7.6.3. Прямая адресация.....	250
7.6.4. Косвенная адресация.....	250
7.6.5. Относительная адресация.....	251
§7.7. Особенности ассемблерных команд.....	251
7.7.1. Мнемокоды команд.....	251
7.7.2. Особенности записи мнемокода команды.....	252
§7.8. Команды пересылки данных	253
7.8.1. Общий вид команд пересылки.....	253
7.8.2. Регистровые пересылки.....	253
7.8.3. Пересылки с косвенно-регистровой адресацией.....	254
7.8.4. Пересылки с прямой адресацией.....	255
7.8.5. Пересылка (загрузка) констант.....	256
7.8.6. Загрузка констант из ПЗУ с адресацией по сумме регистров.....	257
§7.9. Арифметические команды	257
7.9.1. Общие особенности.....	257
7.9.2. Команды сложения (ADD).....	258

7.9.3. Команды вычитания	259
7.9.4. Команда десятичной коррекции аккумулятора	259
7.9.5. Команда умножения.....	260
7.9.6. Команда деления	260
§7.10. Логические команды.....	260
7.10.1. Команды логического умножения.....	261
7.10.2. Команды логического сложения	261
7.10.3. Команды «исключающего ИЛИ».....	261
7.10.4. Команды ротации (сдвига)	262
7.10.5. Команды очистки и инвертирования аккумулятора.....	263
7.10.6. Команды побитовой обработки	263
§7.11. Команды передачи управления	264
7.11.1. Общие сведения	264
7.11.2. Разновидности команд перехода.....	265
7.11.3. Безусловные переходы.....	265
7.11.4. Условные переходы	267
7.11.5. Сдвоенные условные команды перехода	268
7.11.6. Вызовы подпрограмм	269
§7.12. Оформление ассемблерной программы	270
7.12.1. Структура ассемблерной программы	270
7.12.2. Определение констант и распределение внешних выводов	271
7.12.3. Резервирование переменных в памяти данных.....	272
7.12.4. Заполнение особых ячеек в ПЗУ	272
7.12.5. Текст основной части программы	273
7.12.6. Подпрограмма и макрос	273
7.12.7. Тексты используемых процедур.....	274
7.12.8. Размещение массивов констант в ПЗУ	274
7.12.9. Общие советы	275
<hr/>	
ГЛАВА 8. Управление внутренней аппаратурой ОВМ x51.....	276
§8.1. Вывод информации битовыми командами	276
8.1.1. Особенности адресации битов	276
8.1.2. Установка, сброс и инвертирование отдельных битов	277
8.1.3. Вывод (копирование) групп битов	277
8.1.4. Вывод битов в последовательном формате.....	278
§8.2. Ввод информации битовыми командами	279
8.2.1. Ввод (чтение) одиночного бита.....	279
8.2.2. Чтение и анализ бита	280
8.2.3. Чтение групп битов из разных портов.....	281
8.2.4. Чтение последовательного формата битов	281
§8.3. Ввод-вывод информации байтовыми командами.....	282
8.3.1. Вывод (запись) байтовых констант и переменных	282
8.3.2. Установка групп битов байтовыми командами	283

8.3.3. Сброс групп битов байтовыми командами	284
8.3.4. Инвертирование групп битов байтовыми командами	285
8.3.5. Ввод (чтение) байтовой информации	285
8.3.6. Чтение групп битов байтовыми командами	285
§8.4. Управление прерываниями	286
8.4.1. Общие сведения	286
8.4.2. Регистр разрешения прерываний IE	286
8.4.3. Регистр управления приоритетами IP	287
8.4.4. Управление типом внешних прерываний	287
8.4.5. Запросы прерываний	288
§8.5. Пример программы для внешнего прерывания	288
8.5.1. Организация внешнего прерывания	288
8.5.2. Пример процедуры внешнего прерывания	289
8.5.3. Использование процедуры прерывания	290
§ 8.6. Регистры и возможности таймеров	290
8.6.1. Регистр управления таймерами TCON	290
8.6.2. Формат регистра режима TMOD	291
8.6.3. Инициализация (загрузка) регистра TMOD	292
8.6.4. Загрузка регистров данных	293
8.6.5. Чтение регистров данных	293
§8.7. Счет времени при помощи таймеров	294
8.7.1. Общие сведения	294
8.7.2. 16-битный счет времени	295
8.7.3. 8-битный счет времени с перезагрузкой	297
8.7.4. Отсчет времени без использования прерывания	297
8.7.5. Отсчет времени с использованием прерываний	298
§8.8. Управление последовательным портом	300
8.8.1. Общие сведения	300
8.8.2. Назначение битов регистра управления SCON	301
8.8.3. Управление режимами последовательного порта	302
8.8.4. Режим аппаратного различия 9 бита при приеме	304
8.8.5. Бит последовательного порта в регистре управления мощностью PCON	305
§8.9. Инициализация последовательного порта	306
8.9.1. Выбор режима тактирования последовательного порта	306
8.9.2. Использование таймера T1 для тактирования последовательного порта	307
8.9.3. Погрешность задания стандартной скорости	308
8.9.4. Пример инициализации последовательного порта	309
§8.10. Процедуры для последовательного порта	310
8.10.1. Программное ожидание посылки	310
8.10.2. Прием по прерыванию	310
8.10.3. Передача байта без использования прерываний	311

8.10.4. Передача с ожиданием окончания посылки.....	312
8.10.5. Передача пакета данных по прерыванию	312

ГЛАВА 9. Особенности программирования ОВМ x51 на языке Си ...	314
§9.1. Директивы #include и #define	314
9.1.1. Общие сведения	314
9.1.2. Особенности включаемых файлов.....	315
9.1.3. Директива препроцессора #define	316
§9.2. Ресурсы ОВМ x51 для языка Си	317
9.2.1. Общие сведения.....	317
9.2.2. Указание места размещения переменных.....	318
9.2.3. Размещение локальных переменных	319
9.2.4. Работа со спецрегистрами.....	319
9.2.5. Ассемблерные вставки	320
§9.3. Объявления переменных и констант	321
9.3.1. Объявления переменных.....	321
9.3.2. Объявление не удаляемых локальных переменных	322
9.3.3. «Изменчивые» переменные типа volatile	322
9.3.4. Объявления констант	323
9.3.5. Объявления многобайтовых переменных и массивов	323
§9.4. Объявления функций	324
9.4.1. Общие сведения.....	324
9.4.2. Функция, не получающая и не возвращающая данные.....	325
9.4.3. Объявление функции, получающей параметры.....	325
9.4.4. Объявление функции, возвращающей значение	325
9.4.5. Бесконечный цикл в главной функции.....	326
9.4.6. Пример записи простейшей программы.....	326
§9.5. Адресуемые биты ОВМ x51.....	327
9.5.1. Общие сведения.....	327
9.5.2. Объявления битовых переменных.....	328
9.5.3. Операции с битовыми переменными	329
§9.6. Типовые преобразования данных	330
9.6.1. Битовые операции для целочисленных операндов	330
9.6.2. Сдвиги переменных	331
9.6.3. Преобразование «коротких» типов переменных в «длинные»	332
9.6.4. Преобразование бита в целое число	332
9.6.5. Преобразование «длинных» типов переменных в «короткие»	333
9.6.6. Преобразование целого числа в бит	334
§9.7. Работа с отдельными битами целых чисел	334
9.7.1. Указание места бита в целочисленной переменной.....	334
9.7.2. Образование маски для нескольких значащих битов	335
9.7.3. Установка отдельных битов целочисленного операнда.....	335
9.7.4. Сброс незначащих битов	336

9.7.5. Инвертирование отдельных битов.....	336
9.7.6. Обмен частей переменных	337
9.7.7. Объединение (упаковка) битов разных переменных	337
9.7.8. Разъединение (распаковка) переменной на биты.....	338
§9.8. Процедуры задержки	338
9.8.1. Общие сведения.....	338
9.8.2. Реализация микросекундных задержек	339
9.8.3. Реализация задержки при помощи оператора for.....	340
9.8.4. Оценка времени задержки mDelayFOR.....	340
9.8.5. Реализация задержки при помощи оператора do-while	341
9.8.6. Эмуляция «паскалевской» процедуры Delay.....	342
9.8.7. Использование и недостатки процедур задержки.....	342
§9.9. Примеры программ преобразования кодов.....	343
9.9.1. Вычисление контрольной суммы массива во внешнем ОЗУ	343
9.9.2. Прием данных в буфер со сдвигом.....	344
9.9.3. Скользящее осреднение результатов оцифровки	344
<hr/>	
ГЛАВА 10. Управление ресурсами x51 на языке Си.....	346
§10.1. Вывод-ввод информации битовыми командами	346
10.1.1. Генерация пачки импульсов.....	346
10.1.2. Генерация звука «бип-бип»	347
10.1.3. Ввод сигнала от контактного датчика	347
10.1.4. Счет числа нажатий кнопки с «дребезгом»	348
§10.2. Вывод-ввод байтовыми командами	349
10.2.1. Управление простейшим светофором	349
10.2.2. Программа для простейшего светофора	350
10.2.3. Вычисление скан-кода матрицы ключей.....	351
10.2.4. Двухнаправленный опрос матрицы ключей.....	352
10.2.5. Текст программы для двухнаправленного опроса	353
§10.3. Регистры и биты системы прерывания.....	353
10.3.1. Управление разрешениями и приоритетами.....	353
10.3.2. Биты типа внешних прерываний	354
10.3.3. Биты запросов прерываний	355
§10.4. Оформление прерывающих процедур	356
10.4.1. Объявление прерывающей процедуры	356
10.4.2. Результат работы прерывающих процедур.....	357
10.4.3. Инициализация прерываний	357
10.4.4. Пример процедуры для счета внешних импульсов	357
10.4.5. Измерение частоты внешних импульсов	358
§10.5. Регистры, биты и режимы таймеров	358
10.5.1. Регистр TCON и пуск-останов счета	359
10.5.2. Формат регистра TMOD и задание режима.....	359
10.5.3. Задание режима счета	360

10.5.4. Изменение режима только одного из таймеров	361
10.5.5. Загрузка 16-разрядных регистров данных таймеров	362
10.5.6. Чтение регистров данных таймеров	362
§10.6. Формирование интервалов времени при помощи таймеров ...	363
10.6.1. Общие сведения	363
10.6.2. Определение кода загрузки таймера.....	363
10.6.3. Отсчет заданного времени без использования механизма прерываний	364
10.6.4. Пример инициализации таймера при работе в режиме прерывания.....	364
10.6.5. Отсчет времени с использования механизма прерываний	365
10.6.6. Использование таймера для отсчета одной секунды	366
10.4.7. Использование флажков-семафоров.....	367
§10.7. Измерение длительности и частоты импульсов	367
10.7.1. Внешнее управление счетом таймера	367
10.7.2. Программа для измерения длительности импульса соответствует вышеописанной последовательности действий:	368
10.7.3. Счет переполнений таймера при измерении длинных импульсов	369
10.7.4. Использование механизма прерываний для определения начала и окончания импульса.....	370
10.7.5. Измерение частоты импульсов	370
§10.8. Ресурсы последовательного порта	371
10.8.1. Регистры данных приемника и передатчика.....	372
10.8.2. Регистр управления последовательным портом.....	372
10.8.3. Биты задания режима работы последовательного порта (SM0, SM1, SM2, REN).....	373
10.8.4. Особенности работы с девятым битом.....	374
§10.9. Инициализация последовательного порта.....	375
10.9.1. Общие сведения	375
10.9.2. Задание режима работы последовательного порта битовыми командами.....	375
10.9.3. Задание режима работы последовательного порта байтовой командой	376
10.9.4. Задание скорости и инициализация таймера 1	376
10.9.5. Удвоение скорости приема-передачи.....	377
10.9.6. Пример инициализации последовательного порта	378
§10.10. Процедуры приема для последовательного порта	378
10.10.1. Программное ожидание посылки	378
10.10.2. Прием по прерыванию одного байта	379
10.10.3. Прием по прерыванию заданного количества байтов	380
10.10.4. Прием строки символов по прерыванию	381
10.10.5. Примеры простейшей обработки принятой информации	381

§ 10.11. Процедуры передачи для последовательного порта	382
10.11.1. Передача одного байта без прерывания.....	382
10.11.2. Передача байта с ожиданием окончания посылки	382
10.11.3. Передача пакета данных без прерывания	383
10.11.4. Передача пакета по прерыванию.....	383
10.11.5. Передача строки символов по прерыванию	384
10.11.6. Примеры подготовки пакета для передачи	385
<hr/>	
ГЛАВА 11. Комбинационные узлы.....	386
§11.1. Дешифраторы	386
11.1.1. Общие сведения	386
11.1.2. Иллюстративная модель дешифратора	387
11.1.3. Таблица и уравнения для простейшего дешифратора	387
11.1.4. Схема линейного дешифратора	388
11.1.5. УГО и микросхемы дешифраторов	389
11.1.6. Каскадное соединение дешифраторов.....	390
11.1.7. Прямоугольный (матричный) дешифратор.....	392
§11.2. Применение микросхем дешифраторов	393
11.2.1. Дешифратор в микропроцессорной системе.....	393
11.2.2. Программная реализация дешифратора.....	394
11.2.3. Реализация табличной функции	395
11.2.4. Дешифратор для управления банками памяти	396
11.2.5. Дешифратор адреса для внешних устройств	397
§11.3. Дешифраторы для управления светодиодными индикаторами	399
11.3.1. Семисегментные индикаторы	399
11.3.2. Типы семисегментных светодиодных индикаторов	400
11.3.3. Дешифратор К514ИД1	401
11.3.4. Дешифратор КР514ИД2,	402
11.3.5. Обслуживание однодекадного индикатора	403
11.3.6. Обслуживание двухдекадного индикатора	403
§11.4. Дешифраторы в динамических индикаторах	404
11.4.1. Схема динамического индикатора.....	404
11.4.2. Временные диаграммы динамического индикатора.....	406
11.4.3. Реализация периодического обслуживания динамического индикатора.....	406
11.4.4. Подготовка данных для индикации	407
11.4.5. Двоично-десятичное преобразование байта.....	407
11.4.6. Процедура индикации знакоместа mIndZn3.....	408
§11.5. Программное управление сегментами одиночного индикатора	409
11.5.1. Схема.....	409

11.5.2. Таблицы для преобразования тетрады в код управления семисегментным индикатором.....	410
11.5.3. Ассемблерная программа для табличного преобразования кодов.....	411
11.5.4. Программа управления сегментами индикатора.....	411
§11.6. Динамический индикатор с программно-управляемыми сегментами	412
11.6.1. Схема четырехзначного динамического индикатора,.....	412
11.6.2. Подготовка данных в буфере индикации.....	413
11.6.4. Программа индикации знакоместа на Си.....	413
§11.7. Шифраторы	414
11.7.1. Общие сведения.....	414
11.7.2. Схема линейного шифратора на 8 входов.....	415
11.7.3. Каскадный шифратор с 16 входами	415
11.7.4. Микросхема КР155ИВ1	417
11.7.5. Программная реализация функции шифратора.....	418
§11.8. Коммутаторы	419
11.8.1. Общие сведения.....	419
11.8.2. Аналоговый и логический ключи.....	419
11.8.3. Реализация коммутатора	420
11.8.4. Каскадное соединение коммутаторов.....	420
11.8.5. Неявный коммутатор на основе элементов с открытым коллектором.....	421
11.8.6. Неявный коммутатор на основе элементов с третьим состоянием.....	422
11.8.7. Реализация логической табличной функции.....	423
11.8.8. Управление внешним коммутатором.....	423
§11.9. Сумматоры.....	424
11.9.1. Полусумматор (сумматор по модулю 2)	425
11.9.2. «Исключающее ИЛИ», как управляемый инвертор.....	426
11.9.3. Полный сумматор.....	426
11.9.4. Многоразрядные сумматоры	427
11.9.5. Арифметико-логическое устройство	428
§11.10. Узлы контроля	428
11.10.1. Цифровой компаратор	428
11.10.2. УГО микросхемы цифрового компаратора.....	429
11.10.3. Схемы контроля по четности	429
11.10.4. Искатели старшей единицы	431
11.10.5. Мажоритарный элемент.....	432
ГЛАВА 12. Триггеры и регистры	434
§12.1. Триггеры RS-типа	434
12.1.1. Общие сведения	434

12.1.2. Асинхронный RS-триггер	435
12.1.3. Применение RS-триггера для подавления дребезга.....	436
12.1.4. Тактируемый уровнем RS-триггер	437
12.1.5. Тактируемый фронтом (перепадом) RS-триггер.....	437
12.1.6. RS-триггеры с приоритетными входами	438
§12.2. Триггеры D-типа	438
12.2.1. Тактируемый уровнем D-триггер.....	438
12.2.2. Тактируемый фронтом триггер D-типа.....	439
12.2.3. Микросхема триггера D-типа, тактируемого фронтом	440
§12.3. Триггеры T- и JK-типов.....	440
12.3.1. Асинхронный триггер T-типа.....	440
12.3.2. Синхронный счетный триггер.....	441
12.3.3. JK-триггер.....	442
12.3.4. Микросхема JK триггера.....	442
§12.4. Регистры памяти.....	443
12.4.1. Общие сведения	443
12.4.2. Обозначение регистра памяти.....	444
12.4.3. Управление приемом информации.....	444
12.4.4. Управление выдачей информации.....	445
§12.5. Регистры сдвига	446
12.5.1. Общие сведения	446
12.5.2. Регистр сдвига вправо	446
12.5.3. Реверсивный регистр сдвига.....	447
12.5.4. Микросхема реверсивного регистра КР155ИР13.....	448
12.5.5. Регистровая память типа очередь	448
§12.6. Регистры сдвига в асинхронном приемопередатчике	450
12.6.1. Передатчик асинхронного последовательного порта.....	450
12.6.2. Программная передача асинхронной посылки	451
12.6.3. Приемник асинхронного последовательного порта	451
12.6.4. Программный прием асинхронной посылки	452
§12.7. Регистр сдвига в синхронном клавиатурном интерфейсе	453
12.7.1. Передача битов в синхронном виде.....	453
12.7.2. Приемник сигналов от клавиатуры.....	453
12.7.3. Программная передача синхронной посылки	454
12.7.4. Программный прием синхронной посылки	455
§12.8. Регистр сдвига в дуплексном синхронном интерфейсе типа SPI	455
12.8.1. Приемник и передатчик интерфейса SPI.....	455
12.8.2. Пример программы приема-передачи для SPI.....	457
<hr/>	
ГЛАВА 13. Счетчики.....	458
§13.1. Двоичные счетчики.....	458
13.1.1. Асинхронный двоичный счетчик	458
13.1.2. Обозначение асинхронного счетчика	459

13.1.3. Синхронный двоичный счетчик.....	460
13.1.4. Асинхронный реверсивный счетчик.....	461
13.1.5. Синхронный реверсивный счетчик	461
13.1.6. УГО синхронного реверсивного счетчика	463
§13.2. Счетчики с программируемым коэффициентом пересчета... 463	
13.2.1. Счетчики с двоично-взвешенным коэффициентом пересчета	463
13.2.2. Программируемый инкрементный счетчик с асинхронным сбросом	464
13.2.3. Программируемый инкрементный счетчик с предустановкой	465
13.2.4. Программируемый декрементный счетчик с предустановкой	466
13.2.5. Программируемый счетчик с цифровым компаратором	467
§13.3. Двоично-десятичные и часовые счетчики 467	
13.3.1. Двоично-десятичные счетчики	467
13.3.2. Микросхема асинхронного двоично-десятичного счетчика КР155ИЕ2.....	468
13.3.3. Микросхема синхронного реверсивного двоично-десятичного счетчика КР155ИЕ6	468
13.3.4. Микросхема асинхронного часового счетчика КР155ИЕ4.....	469
13.3.5. Схема счетчика секунд или минут.....	469
13.3.6. Микросхема цифровых часов с параллельным интерфейсом	470
13.3.7. Микросхема цифровых часов с последовательным интерфейсом	471
§13.4. Некоторые применения счетчиков 471	
13.4.1. Принцип измерения длительности импульсов и частоты	471
13.4.2. Распределитель тактов.....	472
13.4.3. Командный аппарат	473
<hr/>	
ГЛАВА 14. Микросхемы памяти и их использование 475	
§14.1. Микросхемы памяти 475	
14.1.1. Общие сведения	475
14.1.2. Внутренняя структура микросхем памяти	476
14.1.3. Разновидности запоминающих ячеек ПЗУ	477
14.1.4. Типы электрически программируемых ПЗУ	477
14.1.5. Ресурс работы программируемых ПЗУ	478
14.1.6. Интерфейсы микросхем ППЗУ	480
14.1.7. Разновидности ячеек ОЗУ	481
§14.2. Некоторые применения ПЗУ 482	
14.2.1. Реализация табличных функций	482
14.2.2. Реализация командоаппарата.....	482
14.2.3. Микропрограммный автомат	483
14.2.3. Цифро-аналоговый генератор	483
§14.3. Программируемые логические ИС 484	
14.3.1. Общие сведения	484

14.3.2. Принцип действия программируемого комбинационного устройства.....	485
14.3.3. Составные части ПЛИС.....	487
14.3.4. Конфигурирование ПЛИС.....	488
14.3.5. Программируемые аналоговые ИС.....	489
14.3.6. Система на кристалле.....	489
§14.4. Обмен данными между процессором, ЗУ и ВУ	490
14.4.1. Средства для обмена.....	490
14.4.2. Основные механизмы обмена данными.....	491
14.4.3. Синхронный программный обмен.....	492
14.4.4. Асинхронный программный обмен.....	494
§14.5. Подключение регистров и памяти к процессору	495
14.5.1. Чтение данных из регистра.....	495
14.5.2. Чтение данных из ПЗУ.....	496
14.5.3. Запись данных во внешний регистр.....	497
14.5.4. Подключение ОЗУ для чтения и записи данных.....	497
§14.6. Подключение внешней памяти к ОВМ.....	498
14.6.1. Шины ОВМ для подключения внешней памяти.....	498
14.6.2. Подключение внешнего ПЗУ к ОВМ.....	499
14.6.3. Подключение внешнего ОЗУ к ОВМ.....	500
14.6.4. Программное использование внешнего ОЗУ.....	501
14.6.5. Внешнее ОЗУ в качестве памяти команд.....	502
§14.7. Подключение к ОВМ в режиме 8-битной адресации	503
14.7.1. Два типа адресации внешней памяти.....	503
14.7.2. Подключение микросхемы часов.....	504
14.7.3. Подключение АЦП к порту P0.....	505
14.7.4. Подключение ЖКИ с параллельным интерфейсом.....	506
<hr/>	
ГЛАВА 15. Аналоговые ключи и коммутаторы.....	508
§15.1. Аналоговый ключ.....	508
15.1.1. Общие сведения.....	508
15.1.2. Проводящее состояние ключа.....	509
15.1.3. Непроводящее состояние ключа.....	510
15.1.4. Динамическая погрешность ключа.....	511
15.1.5. Обозначение аналогового ключа.....	512
15.1.6. Выбор микросхемы ключа.....	512
§15.2. Аналоговый коммутатор.....	513
15.2.1. Внутренняя структура и обозначение.....	513
15.2.2. Параметры.....	514
15.2.3. Пример использования аналогового коммутатора.....	514
15.2.4. Разновидности микросхем аналоговых коммутаторов.....	516
§15.3. Схема выборки-хранения.....	516
15.3.1. Схема и принцип действия.....	516

15.3.2. Погрешность недозаряда.....	517
15.3.3. Погрешность хранения	518
15.3.4. Микросхема выборки-хранения КР1100СК2.....	518
§15.4. Аналоговые ключи с изолированным управлением	519
15.4.1. Ключ с трансформаторным управлением	519
15.4.2. Ключ с оптическим управлением.....	520
15.4.3. Контактные ключи	520
15.4.4. «Летающий конденсатор».....	522
<hr/>	
ГЛАВА 16. Цифро-аналоговые преобразователи	524
§16.1. Структура ЦАП	524
16.1.1. Общие сведения	524
16.1.2. Основные параметры ЦАП	525
16.1.3. Структура ЦАП.....	526
16.1.4. ЦАП на основе двоично-взвешенных резисторов.....	526
16.1.5. ЦАП на основе резисторной матрицы R-2R	528
§16.2. Микросхемы ЦАП и их интерфейсы.....	529
16.2.1. Обозначение ЦАП	529
16.2.2. Параллельный интерфейс ЦАП	529
16.2.3. Последовательный интерфейс типа SPI.....	531
16.2.4. Последовательный интерфейс типа Up/Down	532
16.2.5. Области использования ЦАП	533
§16.3. Время-импульсный ЦАП	534
16.3.1. Общие сведения	534
16.3.2. Формирование ШИМ сигнала.....	535
16.3.3. Аппаратное формирование ШИМ сигнала	536
16.3.4. Сглаживающий фильтр	537
<hr/>	
ГЛАВА 17. Пороговые устройства и генераторы импульсов	539
§17.1. Аналоговые компараторы.....	539
17.1.1. Общие сведения	539
17.1.2. Основные параметры компаратора	541
17.1.3. Схемы сравнения	542
17.1.4. Двухпороговый компаратор.....	543
17.1.5. Формирование прямоугольного сигнала	544
§17.2. Пороговое устройство с гистерезисом (триггер Шмитта)	545
17.2.1. Общие сведения	545
17.2.2. Формирование прямоугольного импульса.....	545
17.2.3. Логический элемент с гистерезисом	546
17.2.4. Прецизионный триггер Шмитта	547
§17.3. Микросхема таймера КР1006ВИ1	548
17.3.1. Общие сведения	548

Конец ознакомительного фрагмента.
Приобрести книгу можно
в интернет-магазине
«Электронный универс»
e-Univers.ru