
ПРЕДИСЛОВИЕ

Данное издание является справочным руководством по Программируемым Логическим Интегральным Схемам (ПЛИС) фирмы «Xilinx». Оно содержит описание структуры основных семейств ПЛИС и методы проектирования устройств на их основе. В книге приводятся достаточно подробные электрические и временные параметры микросхем, а также обозначения выводов корпусов и их назначение.

Справочник не является полным техническим описанием приборов, поэтому при использовании ПЛИС в устройствах необходимо руководствоваться фирменной документацией, которую можно получить на web-сервере фирмы «Xilinx» по адресу: **<http://www.xilinx.com>**.

Структурно справочное руководство разбито на 5 глав. В первой главе дан обзор продукции фирмы «Xilinx»: описаны основные особенности всех выпускаемых семейств ПЛИС, систем проектирования и отладки, даны рекомендации по выбору семейства ПЛИС в зависимости от применения. В последующих главах (2, 3, 4 и 5) даны описания семейств ПЛИС: Virtex, Spartan-II, XC9500, XC9500XL, соответственно. Приведены описания архитектуры семейств, способы конфигурирования и временные параметры.

Авторы выражают огромную благодарность сотрудникам фирмы «Инлайн Групп» М.Ю. Гетопанову, Г.И. Алексееву и Ю.В. Митякину за помощь в написании книги, сотрудникам фирмы «SET» В.Г. Мистюкову и В.Д. Капитанову за то, что они на примере собственных разработок показали широчайшие возможности ПЛИС фирмы «Xilinx».

Вопросы и предложения направлять по адресу: **xilinx@inlinegroup.ru**.

СОДЕРЖАНИЕ

ГЛАВА 1. ОБЗОР ПРОДУКЦИИ ФИРМЫ «XILINX»	11
1. О продукции фирмы «Xilinx»	11
2. Краткая классификация современных семейств ПЛИС фирмы «Xilinx»	15
2.1. Virtex-II	15
2.2. Virtex, Virtex-E	17
2.3. Spartan-II	21
2.4. Spartan	23
2.5. SpartanXL	24
2.6. XC3000, XC4000, XC5200	25
2.7. XC9500	25
2.8. XC9500XL	27
2.9. XC9500XV	27
2.10. XPLA3 (серия CoolRunner)	27
3. Типы реализации приложений на ПЛИС	30
4. Характерные особенности ПЛИС	31
5. Конфигурационные ПЗУ фирмы «Xilinx»	32
5.1. Серия XC1700	33
5.2. Серия XC18V00	34
5.3. Совместимость XC1700 и XC18V00 с ПЛИС FPGA	35
6. Средства конфигурации ПЛИС	38
7. Инструментальные средства для отладки ПЛИС	38
8. САПР: Обзор продукции	39
8.1. Программное обеспечение Foundation Series	39
8.2. Программное обеспечение Alliance Series	41
8.3. Программное обеспечение WebPACK	46
8.4. Программное обеспечение WebFitter	47
9. Специализированные библиотеки проектирования	47

9.1. Встроенная библиотека элементов схемотехнического редактора Foundation	48
9.2. Встроенный генератор логических блоков LogiBLOX	48
9.3. Программные продукты LogiCORE	48
ГЛАВА 2. ПЛИС СЕМЕЙСТВА VIRTEX™	51
1. Особенности	51
2. Описание	52
3. Обзор архитектуры семейства Virtex	53
3.1. Быстродействие	54
4. Описание архитектуры	54
4.1. Матрица Virtex	54
4.2. Блок ввода-вывода	56
4.2.1. Ввод сигнала	58
4.2.2. Вывод сигнала	59
4.2.3. Банки ввода-вывода	60
4.3. Конфигурируемый логический блок — КЛБ	62
4.3.1. Таблица преобразования	62
4.3.2. Запоминающие элементы	62
4.3.3. Дополнительная логика	65
4.3.4. Арифметическая логика	65
4.3.5. Буферы с тремя состояниями	66
4.3.6. Блочная память (Block RAM)	66
4.4. Программируемая трассировочная матрица	67
4.4.1. Локальные связи	68
4.4.2. Трассировочные ресурсы общего назначения	68
4.4.3. Трассировочные ресурсы для блоков ввода-вывода	69
4.4.4. Специальные трассировочные ресурсы	69
4.4.5. Глобальные трассировочные ресурсы	70
4.5. Распределение сигналов синхронизации	71
4.5.1. Модули автоподстройки задержки (DLL)	71
4.6. Периферийное сканирование (ПС)	72
4.6.1. Регистры данных	75
4.6.2. Порядок битов регистра данных ПС	75
4.6.3. Идентификационные регистры	76
4.6.4. Включение ПС в проект	77
5. Система проектирования	77
5.1. Размещение проекта в кристалл	79
5.2. Верификация проекта	80
6. Конфигурирование кристалла в устройстве	80

6.1. Режимы конфигурирования	81
6.1.1. Подчиненный последовательный режим	82
6.1.2. Ведущий последовательный режим	84
6.1.3. Режим SelectMAP	85
6.1.4. Использование режима периферийного сканирования для конфигурирования Virtex	90
6.2. Последовательность конфигурации	91
6.2.1. Задержка конфигурирования	91
6.2.2. Последовательность вхождения в штатный режим работы	93
6.3. Формат потока конфигурационных данных	93
7. Обратное считывание	94
8. Характеристики семейства Virtex по постоянному току	94
9. Корпуса	95
10. Обозначение микросхем семейства Virtex	96
ГЛАВА 3. ПЛИС СЕМЕЙСТВА SPARTAN™-II	97
1. Особенности	98
2. Обзор архитектуры семейства Spartan-II	99
2.1. Быстродействие	100
3. Описание архитектуры	100
3.1. Матрица Spartan-II	100
3.2. Блок ввода-вывода	102
3.2.1. Ввод сигнала	104
3.2.2. Вывод сигнала	104
3.2.3. Банки ввода-вывода	105
3.3. Конфигурируемый логический блок	107
3.3.1. Таблица преобразования	108
3.3.2. Запоминающие элементы	109
3.3.3. Дополнительная логика	109
3.3.4. Арифметическая логика	110
3.3.5. Буферы с тремя состояниями	110
3.3.6. Блочная память (Block RAM)	110
3.4. Программируемая трассировочная матрица	112
3.4.1. Локальные связи	112
3.4.2. Трассировочные ресурсы общего назначения	113
3.4.3. Трассировочные ресурсы для блоков ввода-вывода	114
3.4.4. Специальные трассировочные ресурсы	114
3.4.5. Глобальные трассировочные ресурсы	114
3.5. Распределение сигналов синхронизации	115

3.5.1. Модули автоподстройки задержки (DLL)	115
3.6. Периферийное сканирование (ПС)	117
3.6.1. Регистры данных	118
3.6.2. Порядок битов регистра данных ПС	120
3.6.3. Включение ПС в проект	121
4. Система проектирования	121
4.1. Размещение проекта в кристалл	123
4.2. Верификация проекта	123
5. Конфигурирование кристалла в устройстве	124
5.1. Режимы конфигурирования	124
5.2. Сигналы конфигурации	126
5.3. Последовательность конфигурации	126
5.3.1. Инициализация конфигурирования	126
5.3.2. Очистка конфигурационной памяти	128
5.3.3. Загрузка конфигурационных данных	129
5.3.4. Проверка контрольной суммы	129
5.3.5. Последовательность вхождения в штатный режим работы	129
5.4. Последовательные режимы конфигурации	130
5.4.1. Подчиненный последовательный режим (Slave Serial)	130
5.4.2. Ведущий последовательный режим (Master Serial)	133
5.5. Подчиненный параллельный режим (Slave Parallel)	135
5.5.1. Запись	136
5.5.2. Преждевременное прекращение процедуры	139
5.6. Использование режима периферийного сканирования для конфигурирования Spartan-II	139
6. Обратное считывание	140
7. Характеристики микросхем семейства Spartan-II по постоянному току	140
8. Корпуса	142
9. Обозначение микросхем Spartan-II	142
ГЛАВА 4. ПЛИС CPLD СЕМЕЙСТВА XC9500	143
1. Особенности семейства	143
2. Обзор семейства	144
3. Описание архитектуры семейства XC9500	144
3.1. Функциональный блок	146
3.2. Макроячейка	147
3.3. Распределитель термов	149

3.4. Быстродействующая переключающая матрица	151
3.5. Блок ввода-вывода	152
4. Возможность закрепления контактов	155
5. Программирование в системе	156
6. Протокол периферийного сканирования IEEE Std. 1149.1	156
7. Защита проекта от копирования	158
8. Режим пониженного потребления энергии	158
9. Модель задержек распространения сигналов (временная модель)	159
10. Характеристики при включении питания	161
11. Программное обеспечение проектирования	162
12. Технология производства	162
13. Характеристики семейства XC9500 по постоянному току	162
14. Сопряжение с аналоговыми элементами	164
15. Микросхема XC9536	164
15.1. Описание	164
15.2. Потребление тока	165
15.3. Динамические параметры микросхем XC9536	165
15.4. Параметры временной модели	165
15.5. Корпуса	168
15.6. Обозначение микросхем XC9536	169
16. Микросхема XC9572	169
16.1. Описание	169
16.2. Потребление тока	170
16.3. Динамические параметры микросхем XC9572	170
16.4. Параметры временной модели	171
16.5. Корпуса	171
16.6. Обозначение микросхем XC9572	172
17. Микросхема XC95108	174
17.1. Описание	174
17.2. Потребление тока	174
17.3. Динамические параметры микросхем XC95108	174
17.4. Параметры временной модели	176
17.5. Корпуса	176
17.6. Обозначение микросхем XC95108	176
18. Микросхема XC95144	178
18.1. Описание	178
18.2. Потребление тока	178
18.3. Динамические параметры микросхем XC95144	180
18.4. Параметры временной модели	180

18.5. Корпуса	180
18.6. Обозначение микросхем XC95144	180
19. Микросхема XC95216	183
19.1. Описание	183
19.2. Потребление тока	183
19.3. Динамические параметры микросхем XC95216	184
19.4. Параметры временной модели	184
19.5. Корпуса	184
19.6. Обозначение микросхем XC95216	188
20. Микросхема XC95288	189
20.1. Описание	189
20.2. Потребление тока	189
20.3. Динамические параметры микросхем XC95288	190
20.4. Параметры временной модели	190
20.5. Корпуса	190
20.6. Обозначение микросхем XC95288	190

ГЛАВА 5. ПЛИС CPLD СЕМЕЙСТВА XC9500XL 195

1. Особенности	195
2. Обзор семейства	196
3. Описание архитектуры семейства XC9500XL	197
3.1. Функциональный блок	199
3.2. Макроячейка	200
3.3. Распределитель термов	202
3.4. Быстродействующая переключающая матрица	202
3.5. Блок ввода-вывода	202
4. Возможность закрепления контактов	207
5. Программирование в системе	208
6. Протокол периферийного сканирования IEEE Std. 1149.1	210
7. Защита проекта от копирования	210
8. Режим пониженного потребления энергии	211
9. Модель задержек распространения сигналов (временная модель)	211
10. Характеристики при включении питания	214
11. Программное обеспечение проектирования	215
12. Технология производства	215
13. Характеристики семейства XC9500XL по постоянному току	215
14. Сопряжение с аналоговыми элементами	216
15. Микросхема XC9536XL	217
15.1. Описание	217

15.2. Потребление тока	217
15.3. Динамические параметры микросхем XC9536XL	217
15.4. Параметры временной модели	219
15.5. Корпуса	220
15.6. Обозначение микросхем XC9536XL	221
16. Микросхема XC9572XL	222
16.1. Описание	222
16.2. Потребление тока	222
16.3. Динамические параметры микросхем XC9572XL	223
16.4. Параметры временной модели	224
16.5. Корпуса	226
16.6. Обозначение микросхем XC9572XL	226
17. Микросхема XC95144XL	227
17.1. Описание	227
17.2. Потребление тока	227
17.3. Динамические параметры микросхем XC95144XL	228
17.4. Параметры временной модели	228
17.5. Корпуса	231
17.6. Обозначение микросхем XC95144XL	231
18. Микросхема XC95288XL	232
18.1. Описание	232
18.2. Потребление тока	232
18.3. Динамические параметры микросхем XC95288XL	233
18.4. Параметры временной модели	233
18.5. Корпуса	236
18.6. Обозначение микросхем XC95288XL	237
ЛИТЕРАТУРА	238

Глава 1. Обзор продукции фирмы «Xilinx»

1. О продукции фирмы «Xilinx»

В 1985 г. американская фирма «Xilinx» представила новый тип логических микросхем — перепрограммируемые пользователем базовые матричные кристаллы (Field Programmable Gate Array, или FPGA). Эти микросхемы предоставляют разработчику электронных устройств все преимущества использования стандартных БМК, добавляя при этом гибкость и значительное сокращение времени выхода устройства на рынок готовой продукции. Возможность реконфигурации кристалла непосредственно на рабочем месте дает принципиально новые средства коррекции ошибок при проектировании. Кроме этого, фирма «Xilinx» выпускает микросхемы с традиционной PAL-архитектурой — Complex Programmable Logic Devices (CPLD).

В настоящее время компания «Xilinx» выпускает семь серий ПЛИС (Программируемые Логические Интегральные Схемы) двух типов:

- FPGA — Field Programmable Gate Array,
- CPLD — Complex Programmable Logic Device.

Каждая серия содержит от одного до нескольких семейств, в свою очередь, состоящих из ряда кристаллов различной емкости, быстродействия, типов корпуса. На *Рис. 1* показаны серии ПЛИС фирмы «Xilinx» и входящие в них семейства микросхем.

Основные особенности ПЛИС фирмы «Xilinx»:

- Значительный объем ресурсов — до 10 млн системных вентилей на кристалл.
- Высокая производительность с системными частотами до 420 МГц.

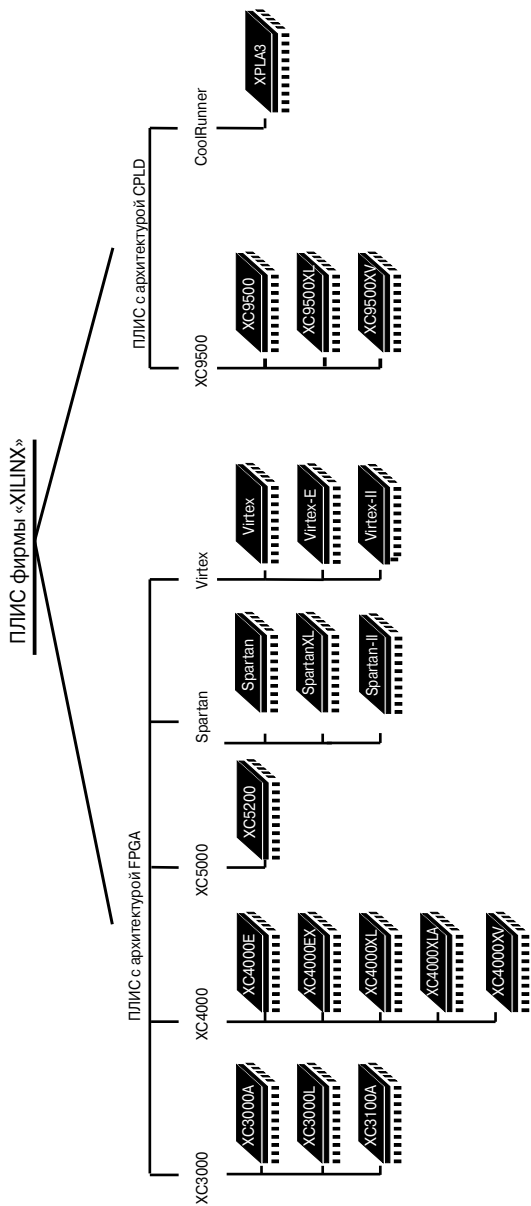


Рис. 1. ПЛИС фирмы «Xilinx»

- Технологические нормы — до 0.12 мкм при восьми слоях металлизации.
- Высокая гибкость архитектуры с множеством системных особенностей: внутреннее распределенное и блочное ОЗУ, логика ускоренного переноса, внутренние буферы с третьим состоянием и т.д.
- Возможность инициализации и верификации через порт JTAG.
- Возможность программирования непосредственно в системе.
- Широкая номенклатура кристаллов по типу исполнения.
- Конкурентоспособная стоимость.
- Низкое энергопотребление.
- Короткий цикл проектирования и быстрое время компиляции.
- Развитые и недорогие средства проектирования.
- Возможность перевода проектов в заказные схемы фирмы «Xilinx».

Спектр выпускаемых фирмой кристаллов программируемой логики очень широк, поэтому и возможности применения ПЛИС фирмы «Xilinx» также неограниченны, начиная от реализации крупносерийных недорогих логических схем и распространяясь на высокоскоростную цифровую обработку сигналов, разнообразные интерфейсы и т.д. При изготовлении ПЛИС фирмой «Xilinx» используются три основные технологии:

— на основе статического ОЗУ (тип FPGA), при этом конфигурация ПЛИС хранится во внутреннем «теневом» ОЗУ, а инициализация осуществляется из внешнего массива памяти. По данной технологии выполнены серии: Spartan, Virtex, XC3000, XC4000, XC5200;

— на основе FLASH-памяти (тип CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой FLASH-памяти и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия XC9500;

— на основе ЭППЗУ (тип CPLD), в данном случае конфигурация сохраняется во внутреннем энергонезависимом ЭППЗУ и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия CoolRunner.

Конфигурационная последовательность (bitstream) может быть загружена в ПЛИС FPGA непосредственно в системе и перегружена неограниченное число раз. Инициализация ПЛИС производится автоматически, из загрузочного ПЗУ фирмы «Xilinx» (XC1700 и XC18V00 серий) при подаче напряжения питания или принудительно по специальному сигналу.

Процесс инициализации занимает от 20 до 200 мс, в течение которых выводы ПЛИС находятся в высокоомном состоянии (подтянуты к логической единице).

Микросхемы типа CPLD, серий XC9500 и CoolRunner, программируются непосредственно в системе через порт JTAG из ПК, что исключает необходимость применения программатора. Через JTAG-порт обеспечивается и внутреннее тестирование схемы.

На этапе отладки конфигурация может загружаться с компьютера с помощью двух видов кабелей: *Parallel Cable III*, *MultiLinx Cable*. Все кабели позволяют проводить программирование по JTAG-порту микросхем CPLD.

При выборе кабеля необходимо учитывать следующие свойства: кабель *Parallel Cable III* подключается к параллельному порту персонального компьютера, поддерживает загрузку FPGA и программирование CPLD, а также обратное считывание конфигурации через порт JTAG. Напряжение питания подается с платы (5 В); кабель *MultiLinx Cable* подключается к порту RS-232 персонального компьютера или рабочей станции, а также к порту USB персонального компьютера. Функционально это аналог *XChecker Cable*, но с большим набором режимов конфигурации. Напряжение питания подается с платы (2.5...5 В).

Фирма «Xilinx» предлагает полный набор программного обеспечения, позволяющего разработать ПЛИС «Xilinx». Программное обеспечение включает в себя схемотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки и многое другое.

Существует четыре основных пакета программного обеспечения:

- *Alliance Series* — пакет ПО, включающий в себя модули только для трассировки и интерфейсы к схемным и текстовым редакторам ввода проекта других фирм.
- *Foundation Series* — пакет ПО, включающий схемотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки.
- *WebFitter* — трассировщик ПЛИС CPLD серии XC9500. Данный продукт доступен только по сети Internet, физически расположен на сервере фирмы «Xilinx». Пользователю доступен только интерфейс.
- *WebPack* — свободно распространяемое через сеть Internet ПО для разработки ПЛИС CPLD серий XC9500 и CoolRunner, а также FPGA се-

мейства Spartan-II и микросхему семейства Virtex-E XCV300E. Загружается бесплатно по сети Internet и устанавливается на ПК.

Также фирма «Xilinx» разрабатывает специализированные модули, так называемые логические ядра (CORE), которые могут быть использованы как библиотечные элементы при проектировании устройств на базе ПЛИС. Подробная информация представлена на странице: <http://www.xilinx.com/ipcenter/index.htm>.

2. Краткая классификация современных семейств ПЛИС фирмы «Xilinx»

2.1. Virtex-II

Virtex-II — семейство ПЛИС с архитектурой FPGA. Предназначено для проектирования на его основе высокопроизводительных систем как малой, так и высокой логической емкости. Семейство позволяет реализовать на одном кристалле системы телекоммуникации, радио, сетевые устройства, устройства по обработке видеосигналов, DSP, а также интерфейсные устройства, включая интерфейсы PCI, LVDS и DDR.

Технология производства 0.15 мкм/0.12 мкм КМОП с 8-слойной металлизацией медью. Архитектура Virtex-II оптимизирована для высокоскоростных применений с низким энергопотреблением. Логический объем кристаллов семейства превышает 10 млн вентиляей, системные частоты достигают 420 МГц, что позволяет использовать их как альтернативу заказным СБИС. Семейство Virtex-II включает 12 микросхем, различающихся по логической емкости. В *Табл. 1* представлены основные параметры микросхем семейства Virtex-II.

Основные особенности семейства Virtex-II:

- Логическая емкость от 40К до 10М системных вентиляей.
- Системная частота до 420 МГц (предварительные данные).
- Скорость обмена до 840 Мбит/с (предварительные данные).
- Иерархическая система элементов памяти:
 - на базе 4-входных таблиц преобразования (4-LUT — Look-Up Table), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвигový регистр;
 - встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 18К.

- Быстрые интерфейсы к внешнему высокопроизводительному ОЗУ:
 - 400 Мбит/с DDR-SDRAM интерфейс (предварительные данные);
 - 400 Мбит/с FCRAM интерфейс (предварительные данные);
 - 333 Мбит/с QDR™ -SRAM интерфейс (предварительные данные);
 - 600 Мбит/с Sigma RAM интерфейс (предварительные данные).
- Арифметические функции:
 - встроенные блоки умножителей 18×18 ;
 - специальная логика ускоренного переноса для высокоскоростных арифметических операций.
- Гибкие логические ресурсы:
 - до 122 880 триггеров;
 - до 122 880 16-разрядных сдвиговых регистров на базе LUT;
 - поддержка многовходовых умножителей и логических функций;
 - внутренние шины с третьим состоянием.
- Цифровые модули управления синхронизацией внутри кристалла и всего устройства:

Таблица 1. Основные параметры микросхем семейства Virtex-II

Наименование	Системные вентили	КЛБ (1 КЛБ = 4 секции = 128 бит (max))			Количество блоков умножителей	Блочная память		Пользовательские блоки ввода-вывода (max)	
		Матрица КЛБ	Количество секций	Распределенная память [Кбит] (max)		Количество блоков	Емкость [Кбит]		
XC2V40	40K	8×8	256	8	4	4	72	4	88
XC2V80	80K	16×8	512	16	8	8	144	4	120
XC2V250	250K	24×16	1 536	48	24	24	432	8	200
XC2V500	500K	32×24	3 072	96	32	32	576	8	264
XC2V1000	1M	40×32	5 120	160	40	40	720	8	432
XC2V1500	1.5M	48×40	7 680	240	48	48	864	8	528
XC2V2000	2M	56×48	10 752	336	56	56	1 008	8	624
XC2V3000	3M	64×56	14 336	448	96	96	1 728	12	720
XC2V4000	4M	80×72	23 040	720	120	120	2 160	12	912
XC2V6000	6M	96×88	33 792	1 056	144	144	2 592	12	1 104
XC2V8000	8M	112×104	46 592	1 456	168	168	3 024	12	1 108
XC2V10000	10M	128×120	61 440	1 920	192	192	3 456	12	1 108

- до 12 DCM (Digital Clock Manager) модулей;
- выравнивание фронтов с высокой точностью;
- умножение и деление частоты;
- сдвиг фаз;
- уменьшение электромагнитных помех.
- 16 глобальных тактовых мультиплексных буферов.
- Предсказуемые задержки, не зависящие от степени разветвленности.
- Поддержка большинства стандартов ввода-вывода (технология SelectIO™):
 - 19 высокопроизводительных однопроводных стандартов ввода-вывода и 6 дифференциальных стандартов;
 - программируемый выходной ток 2...24 мА;
 - совместимость с PCI-X 133 МГц, PCI 66 МГц и 33 МГц;
 - встроенные DDR регистры ввода и вывода.
- Проектирование осуществляется пакетами программного обеспечения *Foundation™* и *Alliance Series*, работающими на ПК или рабочей станции.
- Шифрация/дешифрация конфигурируемых данных по стандарту Triple DES.
- Поддержка стандарта загрузки и верификации IEEE1532.
- Частичное реконфигурирование.
- Неограниченное число циклов загрузки конфигурации.
- Режим пониженного энергопотребления.
- Технология 0.15-мкм с 8-слойной металлизацией и 0.12-мкм быстродействующими транзисторами.
- Напряжение питания ядра кристалла 1.5 В.
- Логика периферийного сканирования в соответствии со стандартом IEEE1149.1.
- 100%-ное фабричное тестирование.

2.2. Virtex, Virtex-E

Virtex, Virtex-E — крупные и высокопроизводительные серии ПЛИС. Логическая емкость кристаллов семейств превышает 4 млн вентилей, системные частоты достигают 320 МГц. Так 16-разрядный умножитель двух переменных операндов функционирует на частоте 210 МГц. Архитектура характеризуется широким разнообразием высокоскоростных трассировочных ресурсов, наличием выделенного блочного ОЗУ, развитой логикой уско-

ренного переноса. Следует отметить наличие специальных выделенных ресурсов (высокоскоростных мультиплексоров), значительно ускоряющих операцию матричного умножения. ПЛИС этой серии обеспечивают высокие скорости межкристального обмена — до 311 МГц. Кристаллы данных серий за счет развитой технологии производства и усовершенствованного процесса верификации имеют достаточно низкую стоимость (до 25% от эквивалентной стоимости серии XC4000XL). В *Табл. 2* и *Табл. 3* представлены основные параметры микросхем семейства Virtex и Virtex-E соответственно.

Таблица 2. Основные параметры микросхем семейства Virtex

Наименование	Системные вентили	Матрица КЛБ	Логические ячейки	Число доступных входов-выходов (max)	Блочная память [бит]	Память на базе LUT [бит]
XCV50	57906	16×24	1 728	180	32 768	24 576
XCV100	108 904	20×30	2 700	180	40 960	38 400
XCV150	164 674	24×36	3 888	260	49 152	55 296
XCV200	236 666	28×42	5 292	284	57 344	75 264
XCV300	322 970	32×48	6 912	316	65 536	98 304
XCV400	468 252	40×60	10 800	404	81 920	153 600
XCV600	661 111	48×72	15 552	512	98 304	221 184
XCV800	888 439	56×84	21 168	512	114 688	301 056
XCV1000	1 124 022	64×96	27 648	512	131 072	393 216

Основные особенности семейства Virtex:

- Программируемые пользователем логические интегральные схемы, рекомендуемые для замены ASIC (applications specific integrated circuit — специализированная интегральная схема).
- Логическая емкость от 50К до 1М системных вентилей.
- Системная производительность до 200 МГц.
- Поддержка функции Hot-swap для Compact PCI.
- Технология Virtex Select I/O поддерживает 17 различных стандартов по вводу-выводу, среди которых LVTTTL, LVC MOS2, PCI33_5, PCI66_5, PCI33_3, PCI66_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(II), HSTL(III), AGP, CTT.
- Четыре специальных схемы автоподстройки задержек (DLL) для улучшенного управления тактированием.

Таблица 3. Основные параметры микросхем семейства Virtex-E

Наименование	Системные вентили	Матрица КЛБ	Логические ячейки	Дифференциальные пары ввода-вывода	Число доступных входов-выходов, (max)	Блочная память [бит]	Память на базе LUT [бит]
XCV50E	71 693	16×24	1 728	83	176	65 536	24 576
XCV100E	128 236	20×30	2 700	83	196	81 920	38 400
XCV200E	306 393	28×42	5 292	119	284	114 688	75 264
XCV300E	411 955	32×48	6 912	137	316	131 072	98 304
XCV400E	569 952	40×60	10 800	183	404	163 840	153 600
XCV405E	1 129 600	40×60	10 800	183	404	573 440	153 600
XCV600E	985 882	48×72	15 552	247	512	294 912	221 184
XCV812E	2 254 016	56×84	21 168	201	556	1 146 880	301 056
XCV1000E	1 569 178	64×96	27 648	281	660	393 216	393 216
XCV1600E	2 188 742	72×108	34 992	344	724	589 824	497 664
XCV2000E	2 541 952	80×120	43 200	344	804	655 360	614 400
XCV2600E	3 263 755	92×138	57 132	344	804	753 664	812 544
XCV3200E	4 074 387	104×156	73 008	344	804	851 968	1 038 336

- Четыре основные сети глобального распределения сигналов тактирования с малыми разбегами фронтов, плюс 24 дополнительные локальные тактовые линии.
- Иерархическая 3-уровневая система элементов памяти:
 - реализация на базе 4-входового функционального генератора (4-LUT — LookUp Table), конфигурируемого либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
 - встроенная блочная память, каждый блок конфигурируется как 4-Кбит синхронное двухпортовое ОЗУ;
 - быстрые интерфейсы к внешнему высокопроизводительному ОЗУ.
- Специальная логика ускоренного переноса для высокоскоростных арифметических операций.
- Специальная поддержка умножителей.
- Каскадируемые цепочки для функций с большим количеством входов.
- Большое число регистров с разрешением тактирования и синхронные/асинхронные цепи установки и сброса.
- Внутренние шины с тремя состояниями.

- Логика периферийного сканирования в соответствии со стандартом IEEE1149.1.
- Поддерживается системами проектирования *Foundation Series* и *Alliance Series*.
- Производятся по 0.22-мкм технологии КМОП СОЗУ с 5-слойной металлизацией.
- 100%-ное фабричное тестирование.

Основные особенности семейства Virtex-E:

- Программируемые пользователем логические интегральные схемы, рекомендуемые для замены ASIC (applications specific integrated circuit — специализированная интегральная схема).
- Логическая емкость от 58K до 4М системных вентиляей.
- Системная частота до 320 МГц.
- Поддержка 3.3 В, 32/64 бит, 33/66 МГц PCI.
- Технология Virtex SelectI/O поддерживает 20 различных стандартов по вводу-выводу, среди которых LVTTTL, LVCMOS2, LVCMOS18, PCI33_3, PCI66_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(II), HSTL(III), AGP, TTL, LVDS, BLVDS, LVPECL, TTL.
- Восемь специальных схем автоподстройки задержек (DLL) для улучшенного управления тактированием.
- Четыре основные сети глобального распределения сигналов тактирования с малыми разбегами фронтов, плюс 24 дополнительные локальные тактовые линии.
- Иерархическая 3-уровневая система элементов памяти:
 - распределенная, реализация на базе 4-входового функционального генератора (4-LUT — LookUp Table), конфигурируемого либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр, максимальный объем 1 Мбит;
 - встроенная блочная память до 832 Кбит, каждый блок конфигурируется как 4-Кбит синхронное двухпортовое ОЗУ;
 - быстродействующие интерфейсы к внешнему ОЗУ (200 МГц ZBT SRAM, 200 Мбит/с DDR SDRAM).
- Специальная логика ускоренного переноса для высокоскоростных арифметических операций.
- Специальная поддержка умножителей.
- Каскадируемые цепочки для функций с большим количеством входов.

- Большое число регистров с разрешением тактирования и синхронные/асинхронные цепи установки и сброса.
- Внутренние шины с тремя состояниями.
- Логика периферийного сканирования в соответствии со стандартом IEEE1149.1.
- Поддерживается системами проектирования *Foundation Series* и *Alliance Series*.
- Производятся по технологии 0.18-мкм КМОП СОЗУ с 6-слойной металлизацией.
- 100%-ное фабричное тестирование.

Отличия от семейства Virtex:

- Технология производства 0.18-мкм КМОП СОЗУ с 6-слойной металлизацией для VirtexE, 0.22-мкм КМОП СОЗУ с 5-слойной металлизацией для Virtex.
- Увеличение емкости в 3 раза.
- Увеличение числа блоков ввода-вывода в 1.5 раза (с 512 до 804).
- Увеличение быстродействия блоков ввода-вывода в 1.5 раза (с 200 МГц до 311 МГц).
- Увеличение максимальной емкости блочной памяти в 6.5 раза (с 128 Кбит до 832 Кбит).
- 8 DLL в VirtexE и 4 DLL в Virtex.
- Увеличение числа пользовательских блоков ввода-вывода до 804.

2.3. Spartan-II

Spartan-II — новая серия ПЛИС фирмы «Xilinx», предоставляющая оптимальное отношение производительность + системные особенности/стоимость — до 10\$ за 100 тыс. вентилях с системной частотой 200 МГц!

Кристаллы серии перекрывают диапазон вентилях от 15 до 200 тыс. По архитектуре очень похожи на микросхемы серии Virtex. Серия предназначена для производства устройств широкого потребления и представляет отличную альтернативу заказным ASIC. В *Табл. 4* представлены основные параметры микросхемы семейства Spartan-II.

Основные особенности семейства Spartan-II:

- Высокопроизводительные, программируемые пользователем логические интегральные схемы с архитектурой FPGA (Field Programmable Gate Arrays):
— емкость от 15 000 до 200 000 системных вентилях;

Таблица 4. Основные параметры микросхем семейства Spartan-II

Наименование	Логические ячейки	Системные вентили	Матрица КЛБ	КЛБ	Блочное ОЗУ [бит]	Пользовательские блоки ввода-вывода
XC2S15	432	15 000	8×12	96	16 384	86
XC2S30	972	30 000	12×18	216	24 576	132
XC2S50	1 728	50 000	16×24	384	32 768	176
XC2S100	2 700	100 000	20×30	600	40 960	196
XC2S150	3 888	150 000	24×36	864	49 152	260
XC2S200	5 292	200 000	28×42	1 176	57 344	284

- системная производительность до 200 МГц;
- совместимость с шиной PCI 66 МГц;
- поддержка функции Hot-swap для Compact PCI;
- поддержка большинства стандартов ввода-вывода (технология SelectIO™);
- 16 высокопроизводительных стандартов ввода-вывода;
- прямое подключение к ZBTRAM-устройствам;
- сборка в недорогие корпуса;
- совместимость по выводам кристаллов разной емкости в одинаковых корпусах.
- Встроенные цепи управления тактированием:
 - четыре встроенных модуля автоподстройки задержек (DLL — delay-locked loop) для расширенного управления тактовыми сигналами как внутри ПЛИС, так и всего устройства;
 - четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов, плюс 24 локальные тактовые сети.
- Иерархическая система элементов памяти:
 - на базе 4-входных таблиц преобразования (4-LUT — Look-UpTable), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
 - встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 4 Кбит;
 - быстродействующие интерфейсы к внешнему высокопроизводительному ОЗУ.

Конец ознакомительного фрагмента.

Приобрести книгу можно
в интернет-магазине «Электронный универс»
(e-Univers.ru)