

# СОДЕРЖАНИЕ

<b>Введение</b> .....	11
-----------------------	----

## ▼ 1

<b>Программируемые логические интегральные схемы</b> .....	15
1.1. Простые программируемые логические устройства – SPLD .....	16
1.2. Технологии программирования ПЛИС .....	21
1.3. Сложные программируемые логические устройства – CPLD .....	25
1.4. Оперативно программируемые логические матрицы – FPGA .....	30
1.5. Сравнение архитектур ПЛИС .....	37
1.6. Средства проектирования цифровых устройств на ПЛИС .....	39
1.7. Применение ПЛИС .....	47

## ▼ 2

<b>Многофункциональные устройства ввода-вывода</b> .....	56
2.1. 2.1. Основные узлы модулей ввода-вывода. Модули стандартной архитектуры .....	57
2.1.1. Блок аналогового ввода .....	59
2.1.2. Блок аналогового вывода .....	62
2.1.3. Блок цифрового ввода-вывода .....	63

2.1.4. Блок таймерного ввода-вывода .....	66
2.1.5. Функционирование модуля ввода-вывода .....	66
2.2. Реконфигурируемые модули ввода-вывода .....	69

### ▼ 3

<b>Виртуальные измерительные приборы и программное обеспечение National Instruments .....</b>	<b>76</b>
3.1. Об истории появления LabVIEW .....	77
3.2. Основные свойства LabVIEW .....	78
3.3. Как развивались технологии виртуальных инструментов... ..	82
3.4. Measurement and Automation eXplorer (MAX) .....	84
3.4.1. Конфигурирование технических средств в MAX .....	86
3.4.2. Тестирование технических средств в MAX .....	88
3.4.3. Создание задачи .....	90
3.4.4. Создание симуляторов устройств ввода-вывода .....	97
3.4.5. Конфигурирование программного обеспечения .....	100
3.4.6. Конфигурирование сетевого окружения .....	103

### ▼ 4

<b>Организация среды проектирования LabVIEW .....</b>	<b>106</b>
4.1. Запуск LabVIEW. Начало работы .....	108
4.2. Создание проекта .....	115
4.3. Редакторы для проектирования программ LabVIEW .....	117
4.4. Инструменты редакторов программ .....	119
4.4.1. Инструментальные линейки кнопок .....	119
4.4.2. Палитра инструментов Tools Palette .....	122
4.4.3. Объекты программ LabVIEW. Пример программы .....	123
4.4.4. Оценка сложности программ LabVIEW .....	130

4.4.5. Палитра объектов лицевой панели Controls Palette .....	133
4.4.6. Палитра объектов блок-диаграммы Functions Palette .....	141
4.4.6.1. Субпалитра Programming .....	144
4.4.6.2. Базовые конструкции языка G. Субпалитра Structures .....	146
4.4.6.3. Работа с однородными совокупностями данных. Массивы. Субпалитра Array .....	149
4.4.6.4. Работа с неоднородными совокупностями данных. Кластеры. Субпалитра Cluster, Class & Variant .....	150
4.4.6.5. Простейшие математические операции. Субпалитра Numeric .....	152
4.4.6.6. Логические операции. Субпалитра Boolean .....	154
4.4.6.7. Операции сравнения. Субпалитра Comparison .....	154
4.4.6.8. Операции со строками. Субпалитра String .....	156
4.4.6.9. Функции системного таймера. Субпалитра Timing .....	157
4.4.6.10. Сохранение и воспроизведение данных. Субпалитра File I/O .....	158
4.4.6.11. Организация взаимодействия с техническими средствами. Субпалитра Measure I/O .....	160
4.4.6.12. Субпалитра DAQmx – Data Acquisition .....	161

## ▼ 5

<b>Техника программирования в графической среде LabVIEW .....</b>	<b>164</b>
5.1. Разработка лицевой панели и настройка объектов лицевой панели .....	164
5.1.1. Настройка свойств объекта из контекстного меню .....	168
5.1.2. Задание свойств объекта в окне Properties .....	170
5.1.3. Массивы и кластеры на лицевой панели .....	172
5.2. Разработка блок-диаграммы .....	175
5.2.1. Соединение узлов блок-диаграммы. Первая программа .....	176

5.2.2. Техника проектирования программ. VI генератора сигналов .....	179
5.2.3. Разработка пиктограммы VI .....	180
5.2.4. Вызов подпрограмм subVI. Цикл While. Ошибки проектирования .....	184
5.3. Техника отладки программ в LabVIEW .....	188
5.3.1. Устранение ошибок до компиляции, или Почему в LabVIEW мало грубых ошибок .....	188
5.3.2. Отладка с помощью пробников и контрольных точек .....	189
5.3.3. Средства пошаговой отладки программ. Анимация выполнения программы .....	193
5.3.4. Кластер ошибок. Интерпретация ошибок выполнения программы .....	194
5.3.5. Помощь в среде проектирования LabVIEW .....	196
5.4. Разработка блок-диаграммы – продолжение .....	198
5.4.1. Цикл While. Туннели и регистры сдвига, массивы .....	199
5.4.2. Структура выбора – Case .....	201
5.4.3. Работа со свойствами объектов .....	202
5.4.4. Цикл For и другие структуры .....	204
5.4.5. Объявление и использование переменных .....	206
5.4.6. Программирование операций ввода-вывода .....	208
5.5. Типы данных и терминалы блок-диаграммы .....	215

## ▼ 6

<b>Реконфигурируемые системы и среда проектирования LabVIEW FPGA .....</b>	<b>217</b>
6.1. Типовые архитектуры систем реконфигурируемого ввода-вывода .....	218
6.1.1. Системы на основе модуля R-серии .....	218
6.1.2. Системы на основе контроллера реального времени .....	221

6.2. Состав и особенности среды проектирования реконфигурируемых систем .....	224
6.2.1. Особенности среды LabVIEW FPGA .....	225
6.2.2. Как получается код, загружаемый в FPGA? .....	226
6.3. Палитры LabVIEW FPGA .....	227
6.3.1. Субпалитра арифметических операций .....	230
6.3.2. Субпалитра функций математической обработки данных.....	232
6.3.2.1. Субпалитра функций управления .....	233
6.3.2.2. Субпалитры Utilities и Generation .....	237
6.3.2.3. Другие экспресс-функции субпалитры Math & Analysis .....	239
6.3.3. Субпалитра ввода-вывода FPGA I/O .....	243
6.3.4. Субпалитра узлов для работы с памятью FPGA .....	245
6.3.5. Субпалитра функций тактирования FPGA .....	247
6.3.6. Субпалитра функций синхронизации задач в FPGA .....	248
6.3.6. Субпалитра Advanced .....	250
6.4. Методы и средства отладки FPGA-приложений .....	250

## ▼ 7

<b>Разработка реконфигурируемых систем в LabVIEW .....</b>	<b>254</b>
7.1. Этапы разработки реконфигурируемых систем .....	254
7.1.1. Создание проекта системы на основе модуля R-серии .....	255
7.1.2. Программирование целевой платформы. Разработка программы FPGA VI .....	259
7.1.2.1. Аналоговый ввод-вывод .....	259
7.1.2.2. Реализация счетчиков/таймеров .....	264
7.1.3. Тактирование и синхронизация в FPGA .....	266
7.1.3.1. Тактирование с использованием структуры Single Cycle Timed Loop .....	267

7.1.3.2. Синхронизация и обмен данными между параллельными структурами .....	270
7.1.4. Параллелизм выполнения операций в FPGA .....	277
7.1.5. Разделяемые ресурсы .....	281
7.2. Оптимизация FPGA VI .....	284
7.2.1. Оптимизация ресурсов FPGA .....	284
7.2.2. Оптимизация быстродействия FPGA .....	286
7.2.3. Оценка результатов оптимизации .....	292
7.3. Компиляция FPGA VI .....	293

## ▼ 8

<b>Управление FPGA VI. Разработка Host VI .....</b>	<b>298</b>
8.1. Программный обмен данными через элементы лицевой панели. Субпалитра FPGA Interface .....	301
8.2. Функция Invoke Method .....	311
8.3. Функция Up Cast .....	314
8.4. Синхронизация обмена данными между Host VI и FPGA VI .....	316
8.4.1. Синхронизация Host VI и FPGA VI методом поллинга .....	317
8.4.2. Синхронизация Host VI и FPGA VI с использованием прерывания .....	319
8.4.3. Обмен данными с использованием канала прямого доступа к памяти .....	321

## ▼ 9

<b>Расширение возможностей систем, выполненных на модулях R-серии .....</b>	<b>329</b>
9.1. Краткая характеристика модулей ввода-вывода C-серии .....	331
9.2. Конфигурирование систем с шасси расширения и модулями C-серии .....	337
9.3. Программирование модулей C-серии. FPGA VI и Host VI .....	342

**▼ 10**

<b>Автономные и распределенные системы с реконфигурируемыми каналами ввода-вывода</b> .....	352
10.1. Оборудование систем Compact RIO .....	354
10.2. Проектирование систем на платформе cRIO .....	359
10.2.1. Конфигурирование среды проектирования .....	359
10.2.2. Разработка системы реального времени .....	364
10.2.2.1. Краткая характеристика объекта и структура проектируемой системы .....	365
10.2.2.2. Создание и конфигурирование проекта .....	366
10.2.2.3. Разработка FPGA VI .....	368
10.2.2.4. Проектирование программы для контроллера реального времени .....	372
10.2.2.5. Разработка Host VI .....	375

**▼ 11**

<b>Примеры применения технологий реконфигурируемого ввода-вывода</b> .....	379
11.1. Контроллеры стандартных и пользовательских интерфейсов .....	380
11.1.1. Разработка интерфейса SPI в FPGA .....	382
11.1.2. Разработка интерфейса I <sup>2</sup> C в FPGA .....	386
11.1.3. О реализации протоколов и некоторых особенностях проектирования интерфейсов в FPGA .....	389
11.2. Цифровые фильтры в FPGA .....	392
11.3. Применение FPGA в системах радиосвязи .....	404
11.3.1. Цифровые генераторы радиосигналов .....	405
11.3.2. Цифровые анализаторы радиосигналов .....	408
11.3.3. Усилители и коммутаторы радиосигналов. Программные средства .....	409

11.4. Применение технологии cRIO при разработке прототипов систем измерения и управления .....	418
11.4.1. Модель процесса проектирования приложений и ее реализация .....	418
11.4.2. Программно-техническое моделирование датчиков .....	428
11.4.2.1. Датчик линейных перемещений.....	428
11.4.2.2. Датчик температуры – термопары .....	431
<b>Заключение</b> .....	440
<b>Литература</b> .....	442

# Введение



Автоматизация испытаний объектов или управления процессами в промышленности, равно как и автоматизация экспериментальных исследований, требует решения ряда задач, связанных с приобретением типового или с разработкой и изготовлением нестандартного оборудования, разработкой программ нижнего уровня для управления этим оборудованием. Кроме того, должно быть спроектировано и программное обеспечение верхнего уровня, предназначенное для объединения всех программных и технических компонентов в единую систему, которую может контролировать и которой должен управлять человек.

Решением каждой из этих достаточно специфичных и сложных задач занимаются специалисты соответствующего профиля – разработчики аналоговых или цифровых устройств, разработчики прикладных программ нижнего уровня или программисты системного программного обеспечения. Все они используют различные инструментальные средства, овладение которыми требует специальной подготовки, а для получения с их помощью качественных результатов необходимы определенный уровень квалификации и опыт. Нужны также специалисты, способные грамотно сформулировать задание для каждого из разработчиков, с тем чтобы минимизировать потери времени на интеграцию полученных результатов.

Заметно упрощается решение большинства этих задач, когда в качестве среды проектирования применяют все более широко распространяющуюся систему графического программирования LabVIEW, разработанную корпорацией National Instruments. Главные и принципиальные отличия LabVIEW от классических языков программирования – графический способ проектирования программ и поточное их исполнение – позволяют реализовать совершенно новые возможности, а в ряде случаев получить качественно лучшие результаты. При этом удастся существенно облегчить сам процесс разработки новых программно-технических комплексов.

LabVIEW – Laboratory Virtual Instrument Engineering Workbench – среда проектирования виртуальных измерительных приборов для инженеров – исключительно проста в освоении, не требует квалификации профессионального программиста для комплексного решения всей совокупности упомянутых задач, естественным образом реализуя интеграцию технических средств и программного обеспечения разного уровня.

Линейка предлагаемых вместе с базовой системой LabVIEW проблемно ориентированных библиотек функций высокого уровня, модулей, наборов и комплектов разработчика недавно пополнилась модулем программирования программируемых логических интегральных схем (ПЛИС), а точнее одной из самых сложных разновидностей ПЛИС – FPGA (Field Programmable Gate Array – матрицы логических вентилей, программируемых в условиях эксплуатации). Этот модуль – LabVIEW FPGA – предназначен для разработки систем, каналы ввода-вывода которых, а также встроенные специализированные устройства обработки данных выполняются реконфигурируемыми, причем алгоритм их функционирования реализуется на аппаратном уровне.

С появлением LabVIEW FPGA у инженеров появилась уникальная возможность – в одной среде и с помощью одних и тех же инструментов проектировать программное обеспечение, предварительно сконструировав необходимые электронные устройства. Эта концепция, названная специалистами National Instruments технологией реконфигурируемого ввода-вывода, позволяет на основе соответствующих технических средств быстро и эффективно создавать самые разнообразные и гибкие измерительные, тестовые и управляющие приложения с весьма высокими характеристиками по производительности, необходимыми при решении многих задач сбора и обработки данных, контроля и управления.

Главная цель настоящей книги – дать представление о принципах и технике проектирования реконфигурируемых систем. При этом для тех, кто незнаком с возможностями ПЛИС и средой графического программирования LabVIEW, автор счел необходимым привести некоторый минимальный объем сведений о программируемых логических интегральных схемах, об организации среды проектирования LabVIEW и основных приемах работы в этой среде.

Материал изложен в следующей последовательности.

В первой главе рассматриваются основные разновидности архитектур программируемых логических интегральных схем, сравниваются их характеристики, дается представление о средствах проектирования ПЛИС, приводятся некоторые примеры применения этих компонентов в специализированных устройствах обработки информации.

Принципы построения и функциональные возможности средств получения информации и выдачи управляющих воздействий – модулей ввода-вывода, предназначенных как для измерения, так и для генерации аналоговых электрических величин, сбора и формирования цифровых сигналов, – обсуждаются в главе 2. Здесь рассматриваются типовые, встраиваемые в персональные и промышленные компьютеры многофункциональные устройства, выполненные на основе традиционных схем, а также модули R-серии, реализующие новую концепцию реконфигурируемого ввода-вывода – Reconfigurable Input/Output (RIO). В этих устройствах, выпускаемых корпорацией National Instruments, используются ПЛИС, программируемые разработчиком на этапе создания прикладных систем, что обеспечивает возможность определять состав, функциональность и технические характеристики каналов ввода-вывода, а также устройств обработки данных не при изготовлении модулей на заводе, а в процессе их интеграции в системы.

В главе 3 рассматриваются концепция виртуальных измерительных приборов и особенности графического языка программирования G, на котором базируется система LabVIEW, приводится краткий обзор программного обеспечения National Instruments, подробнее изложены вопросы конфигурирования и тестирования технических и программных средств с помощью утилиты Measurement and Automation eXplorer (MAX).

Вопросам организации среды проектирования LabVIEW, методике разработки и отладки программного обеспечения посвящены главы 4 и 5. Здесь дается информация об инструментах, предоставляемых разработчику графических программ, назначении и составе основных палитр объектов, используемых при «рисовании» программ, на конкретных примерах показываются приемы проектирования. Необходимо отметить, что затронуты далеко не все возможности LabVIEW, в частности поверхностно или совсем не рассмотрены средства визуализации данных в графических форматах, функции коммуникаций, управления приложениями и ряд других. При этом автор полагает, что, если потребуется, читатели смогут найти соответствующую информацию в книгах по общим принципам программирования в LabVIEW, их издано в России уже около десятка.

В то же время литературы о LabVIEW FPGA и системах с реконфигурируемыми каналами ввода-вывода, насколько известно автору, пока еще мало не только на русском языке, но и на языке разработчиков этого нового и, безусловно, перспективного направления системотехники. Можно добавить, что основными источниками информации, использованными при написании этой книги, послужила справочная система LabVIEW FPGA, а также ряд опубликованных в Интернете материалов, авторами которых являются сами разработчики LabVIEW FPGA и разработчики технических средств, созданных для реализации реконфигурируемых систем. Поэтому приведенный в конце книги список цитируемых источников содержит в основном ссылки на электронные документы, большинство из которых поставляется вместе с программным обеспечением или аппаратурой или опубликовано на сайтах корпорации National Instruments.

Основным содержанием главы 6 является описание особенностей архитектур реконфигурируемых систем, технологии их проектирования и тех специальных дополнительных средств LabVIEW, с помощью которых эти системы создаются. Затем, в главе 7, детально рассматривается процесс разработки FPGA VI – программ, код которых реализует на аппаратном уровне в FPGA типовые задач измерения и генерации сигналов. Особое внимание уделяется возникающим при этом проблемам синхронизации и взаимодействию параллельно исполняемых структур, корректного разрешения коллизий при использовании разделяемых ресурсов. Изложены также способы оптимизации кода FPGA VI, позволяющие повысить быстродействие приложений или/и уменьшить объем расходуемых логических элементов FPGA.

Вопросам разработки программ, исполняемых на главном компьютере и предназначенных для управления функционированием FPGA VI, посвящена глава 8. Сравняются различные способы организации обмена данными между управляющей программой – Host VI и FPGA VI, обсуждаются их достоинства и недостатки, даются рекомендации по их применению.

В главе 9 приводится краткий обзор нового семейства модулей ввода-вывода Compact RIO (cRIO), описываются основные этапы программирования систем, скомпонованных из встраиваемых в компьютеры модулей R-серии, функциональные возможности которых расширены, а количество каналов увеличено путем подключения модулей cRIO.

Архитектура автономных (встраиваемых) и распределенных систем реального времени с реконфигурируемыми каналами ввода-вывода, а также особенности разработки программного обеспечения подобных систем изложены в главе 10.

Наконец, в 11-й главе рассматриваются примеры использования технологии реконфигурируемого ввода-вывода при решении ряда практически важных прикладных задач: цифровой фильтрации результатов измерений в темпе их получения, реализации различных, в том числе специализированных, интерфейсов и протоколов, тестирования и исследования современных систем связи, работающих в диапазоне СВЧ, разработки прототипов сложных систем управления.

Представляется, что информации, предлагаемой читателю, будет достаточно для ускоренного освоения новой перспективной технологии проектирования информационно-измерительных и управляющих систем.

Книга может быть рекомендована инженерам, начинающим применять LabVIEW FPGA в своей практической деятельности, а в качестве учебного пособия – студентам соответствующих специальностей.

# Программируемые логические интегральные схемы



По мере развития микроэлектронных технологий и возрастания степени интеграции элементов на кристалле все очевиднее становилось противоречие между потребностями создавать компактные специализированные устройства из наименьшего количества компонентов и нерентабельностью расширения номенклатуры выпускаемых массовым тиражом типовых логических элементов и блоков. Действительно, уже с конца 60-х гг. прошлого века стало возможным на одном кристалле размещать десятки и сотни логических вентилей, но чем насыщеннее становился каждый новый кристалл, тем больше возрастала его специализация и тем меньше становилась относительная доля объема его выпуска.

Появление универсальных логических устройств, микропроцессоров, конечная функция которых определялась загружаемой в них программой, казалось, сблизило возможности изготовителей микросхем, владеющих высокотехнологичными средствами производства, с одной стороны, потребности и возможности разработчиков прикладных устройств и систем – с другой. Однако инженеры по-прежнему вынуждены были для решения своих задач использовать компоненты высокой (по меркам того времени) степени интеграции – в качестве основного функционального блока (например, процессора) и десятки логических элементов малой степени интеграции – для того, чтобы состыковать между собой микросхемы разных классов и типов, реализовать на аппаратном уровне специфические для каждого конкретного случая узлы.

Например, контроллер выполнялся на основе 4- или 8-разрядного микропроцессора и нескольких микросхем памяти, содержащих тысячи логических вентилей, и до десятка и более интегральных схем низкой степени интеграции – дешифраторов, регистров, простейших логических элементов, с помощью которых реализовывалась системная шина, каналы ввода-вывода и т. п. При этом для изготовления такого контроллера требовалась печатная плата с площадью, достаточной для установки нескольких микросхем повышенной степени интеграции (микропроцессор, память) и десятка, а то и более, микросхем малой степени интеграции, размещения всех необходимых печатных проводников. Сборка относительно несложных логических узлов контроллера проводилась с помощью паяльника, в то время как существенно более сложные микропроцессор и блоки памяти

поступали «в собранном виде», готовые. Очевидно, что и стоимость монтажа оказывалась непропорциональной сложности узлов, а надежность устройства в целом определялась надежностью элементов малой степени интеграции, количеством их выводов и соединительных проводников на печатной плате.

Таким образом, разработчики цифровой аппаратуры, получив возможность использовать достаточно мощные и универсальные процессорные компоненты, вынуждены были по-прежнему применять простые и тоже универсальные элементарные логические схемы, собирая их в специализированные ролеки, без которых невозможно было спроектировать и изготовить устройство, решающее специальную задачу измерений и обработки информации, управления или тестирования.

Назревала необходимость усовершенствования технологии проектирования и производства конечных изделий, приближения ее к технологии проектирования и производства микросхем. Безусловно, передовой являлось массовое производство микросхем, где связи между элементами в кристалле создавались с помощью масок. Однако использовать эту технологию в многочисленных лабораториях разработчиков цифровых устройств невозможно, так как изготовление масок – весьма трудоемкий и дорогой процесс. Необходимо было придумать более доступный механизм произвольного соединения элементов кристалла между собой и с внешними выводами микросхемы, а разместить на кристалле необходимый набор типовых логических элементов (десятки или сотни) к тому времени проблемой уже не являлось.

Другими словами, разработчику надо было предоставить возможность более простыми и в то же время более эффективными средствами **создавать собственную микросхему**, которая могла бы заменить горсть универсальных микросхем малой степени интеграции, объединяемых в устройстве в специализированный узел. Такая возможность была реализована в программируемых логических интегральных структурах – ПЛИС (PLD – Programmable Logic Device). На кристалле ПЛИС размещались простые логические вентили различных типов и объединяющие их регулярные шины проводников. Подобная микросхема представляла собой некоторую универсальную заготовку, в которой разработчик доступными средствами может удалить ненужные связи между вентилями, изменяя тем самым логическую функцию ПЛИС и, по существу, создавая уникальное, необходимое только ему логическое устройство, сохраняя почти все качества интегрального исполнения.

## 1.1. Простые программируемые логические устройства – SPLD

Первые кристаллы, структуру и функции которых мог определять пользователь, – программируемые постоянные запоминающие устройства ППЗУ (PROM – Programmable Read Only Memory). ППЗУ состоит из двух матриц логических элементов – матрицы элементов «И» и матрицы элементов «ИЛИ». Входы элементов «И» соединяются с внешними входами микросхемы через повторитель, или ин-

вертор, а входы элементов «ИЛИ» – с выходами элементов «И» [1]. Таким образом, на выходах элементов «ИЛИ», являющихся внешними выходами микросхемы, формируется логическая сумма произведений входных переменных.

В показанной на рис. 1-1 схеме переменные, подаваемые на входы адреса, в дешифраторах строк образуют все возможные конъюнкции – функции «И» от всех входных переменных. Объединением выходов конъюнкторов в столбцах матрицы элементов памяти реализуются логические функции «ИЛИ». Именно отключением определенных строк от столбцов определяются конечные логические функции ППЗУ.

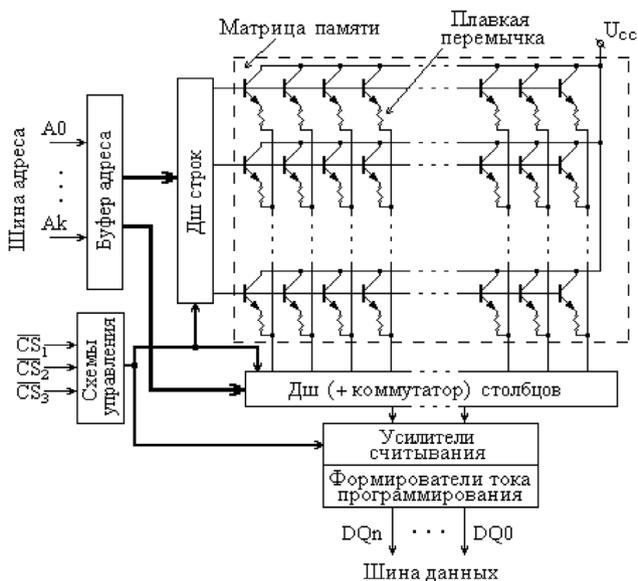


Рис. 1-1. Структура ППЗУ

От изготовителя ППЗУ поступало «чистым» – подключены все входы всех элементов «И» и «ИЛИ», однако пользователь мог удалять ненужные соединения, адресно разрушая их в специальном режиме. В качестве разрушаемых соединений (перемычек) использовались выжигаемые током проводники или пробиваемые p-n-переходы (диоды), сохраняемые же связи и являлись собственно запоминающими элементами и определяли логическую функцию для каждого выхода ППЗУ. Следует отметить, что использовались и иные способы программирования ППЗУ – не удалением ненужных из предварительно созданных межсоединений, а наоборот – созданием нужных соединений. Однако подобные технологические нюансы для разработчика прикладных устройств непринципиальны.

Различают ППЗУ двух основных типов:

- в микросхемах, получивших название PROM, изменять можно только подключения входов элементов «ИЛИ», матрица связей элементов «И» фиксирована (пример на рис. 1-1);
- в микросхемах типа PAL/GAL (Programmable/Generic Array Logic) – программируются связи элементов «И», а соединения элементов «ИЛИ» изменению не подлежат.

Набор из  $N$  произвольных логических функций от  $k$  входных переменных может быть реализован в одной микросхеме ППЗУ с  $N$  выходами емкостью  $2^k$  вентиляей, достаточно записать эти функции в совершенной дизъюнктивной нормальной форме и ввести их таблицы истинности в программатор.

Очевидно, что в программируемых ПЗУ площадь кристалла расходуется неэкономно – для всех возможных конъюнкций и дизъюнкций входных и промежуточных переменных должны быть зарезервированы входы элементов «И» и «ИЛИ», значительная часть которых при программировании отключается.

Более рационально логические функции реализуются на базе ПЛМ – программируемых логических матриц (PLA – Programmable Logic Array) [2, 3]. В ПЛМ могут быть запрограммированы обе матрицы логических элементов – «И» и «ИЛИ», при этом количество входов конъюнкторов и дизъюнкторов может быть уменьшено без существенных потерь сложности реализуемых логических функций (рис. 1-2).

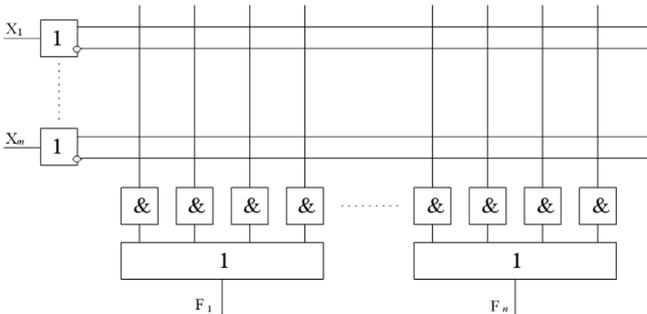


Рис. 1-2. Структура ПЛМ

ПЛИС, рассмотренные выше, – PROM, PAL, GAL, PLA – предоставили разработчикам определенную свободу в реализации проектов, обеспечили возможность уменьшения количества компонентов, повышения надежности изделий и снижения их стоимости. Стало возможным создавать вычислительные устройства не только на основе микропроцессоров с жесткой системой команд, но и с использованием микропроцессорных секций с микропрограммным управлением, причем набор команд уже определялся самим разработчиком, который запи-

сывал микропрограммы в ПЛИС. Таким же образом проектировались специализированные комбинационные устройства – преобразователи кодов, шифраторы и дешифраторы, а применение ПЛИС совместно с элементами памяти – триггерами, регистрами, счетчиками – позволяло разрабатывать быстродействующие устройства микропрограммного управления различными объектами.

Дальнейшее развитие технологии ПЛИС позволило включить в них и элементы памяти, так что разработчик смог перейти на качественно новый уровень, создавая не простые комбинационные устройства, а законченный последовательный автомат, полностью реализующий требуемую диаграмму состояний-переходов без использования дополнительных элементов малой и средней степени интеграции. Достаточно наглядное представление о возможностях, предоставляемых ПЛИС с памятью, дает приведенная на рис. 1-3 схема популярной микросхемы PAL22V10, клоны которой выпускали и выпускают многие компании [4, 5].

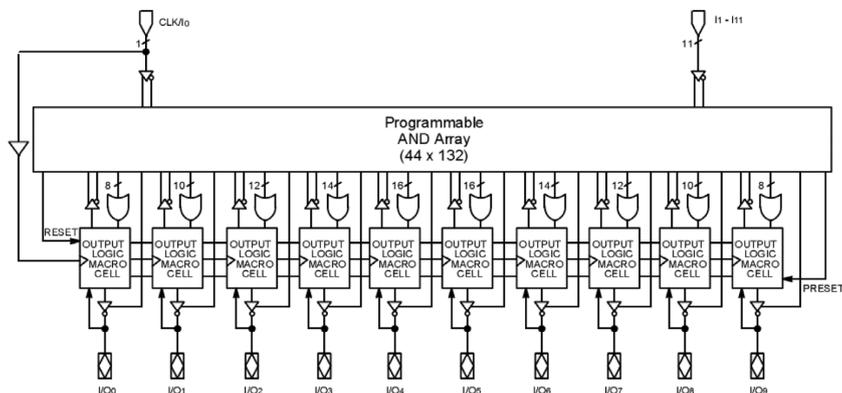
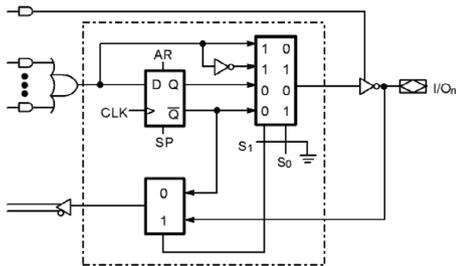


Рис. 1-3. Структура ПЛИС с памятью

Эта микросхема, относящаяся к классу PAL, содержит программируемую матрицу элементов «И» (Programmable AND Array), на входы которых  $I_1$ – $I_{11}$  поданы 11 переменных (или их инверсии) с внешних входов ПЛИС и 10 внутренних переменных (или их инверсии), ассоциируемых с внешними входами/выходами ПЛИС. Выходы элементов «И» объединяются в линейке из 10 непрограммируемых элементов «ИЛИ» с фиксированным количеством входов – от 8 до 16. Сигналами с выходов элементов «ИЛИ» управляются выходные макроячейки (OUTPUT LOGIC MACRO CELL), каждая из которых содержит тактируемый D-триггер с входами сброса и установки.

Каждая из 10 макроячеек может быть сконфигурирована для работы в одном из 4 режимов, выбираемых с помощью программируемых перемычек S0 и S1 (рис. 1-4).



S0	S1	Выходной сигнал
0	0	Триггер, инверсный
0	1	Триггер, прямой
1	0	Комбинационный, инверсный
1	1	Комбинационный, прямой

Рис. 1-4. Макроячейка PAL22V10

Этими переключками основной мультиплексор ячейки настраивается таким образом, что на выходной контакт ПЛИС поступает сигнал, реализуемый комбинационной логикой (матрицей «И» и «ИЛИ»), или тот же сигнал, зафиксированный D-триггером по приходу синхросигнала CLK. Выходной сигнал ( $I/O_n$ ) с помощью дополнительного мультиплексора может быть возвращен во входную комбинационную схему в качестве сигнала обратной связи для текущей макроячейки или в качестве дополнительной логической переменной – для остальных макроячеек.

Любой выход может быть переведен в высокоимпеданное состояние и использован как вход или двунаправленный вход/выход ПЛИС. Перечень полезных свойств этой микросхемы расширяют возможности сброса элементов памяти в исходное состояние по включению питания, загрузки в регистр произвольного кода через выходные контакты (что улучшает тестопригодность создаваемых на основе этой ПЛИС устройств), а также возможность установки защиты от несанкционированного копирования внутренней структуры ПЛИС – интеллектуальной собственности (Intellectual Property) разработчика.

Микросхемы типа PAL с элементами памяти вместе с ПЛИС комбинационного типа PROM, PAL, GAL в последующем были отнесены к классу простых программируемых логических устройств – SPLD (Simple Programmable Logic Device).

Отличительные признаки SPLD:

- каждая макроячейка имеет свой внешний выход и свой собственный триггер;
- в микросхеме SPLD реализовано не менее двух макроячеек;
- обычно все макроячейки выполнены одинаковыми;
- логическая функция макроячейки описывается одним логическим термом;
- логическая функция макроячейки реализуется матрицами элементов «И» и «ИЛИ».

К достоинствам SPLD обычно относят простоту проектирования специализированных устройств, постоянное и, как правило, одинаковое время прохождения сигналов со входов на выходы, возможность замены одной или несколькими микросхемами SPLD достаточно большого количества типовых микросхем малой и средней степени интеграции.

Основные недостатки SPLD – неэффективное использование ресурсов (логических вентилях) и, как следствие, проблематичность создания на их основе сложных цифровых устройств.

## 1.2. Технологии программирования ПЛИС

Последовательное увеличение степени интеграции микросхем и функциональной насыщенности реализуемых в кристалле ячеек, которые мог сконфигурировать разработчик, сопровождалось совершенствованием технологии программирования ПЛИС. И прежде чем продолжить обзор архитектур ПЛИС, целесообразно обсудить параллельно развивающиеся технологии программирования.

В первых семействах SPLD (PROM, PAL/GAL, PLA), выпускаемых на основе биполярных полупроводниковых элементов, однажды реализованная пользователем функция не могла быть изменена, структура соединений логических вентилях в ПЛИС записывалась однократно [5, 6]. Из-за этого если в процессе отладки вновь разработанного устройства обнаруживались ошибки, то для их исправления необходимо было извлечь из печатной платы ПЛИС, «прошитою» с ошибками, и заменить на исправленную. То есть по-прежнему разработчик был вынужден использовать паяльник (хоть и в меньшей степени, чем раньше) или, если это допускалось с точки зрения надежности изделия, монтировать на печатной плате гнезда (сокет), позволяющие оперативно заменять микросхемы ПЛИС.

Совершенно новое качество было достигнуто после перехода на кристаллы с униполярными полупроводниковыми компонентами, в которых вместо однократно разрушаемых (создаваемых) связей-перемычек применялись запоминающие элементы на МОП-транзисторах с изолированным затвором. Заряд, создаваемый на затворе МОП-транзистора при программировании таких структур, сохранялся годами и не исчезал при отключении питания. Заряд этот можно снять, восстановив тем самым исходное состояние ячейки памяти, а при необходимости вновь записать – то есть появилась возможность **неоднократного** перепрограммирования ПЛИС. Технологии производства таких изделий разработаны в 1971 г. фирмой Intel, а в 1974 г. – фирмой Toshiba и реализованы в репрограммируемых ПЗУ (РППЗУ). Запись информации в РППЗУ производится в специальном режиме импульсами напряжения повышенной амплитуды, а стирание осуществляется двумя способами:

- ультрафиолетовым излучением – такие микросхемы назывались UV-EPROM (Ultraviolet Erasable PROM), УФ РППЗУ;
- электрическим напряжением противоположной полярности – микросхемы EEPROM (Electrically Erasable ROM), в отечественной литературе их обычно называют ЭСПЗУ – электрически стираемые программируемые ПЗУ.

Для стирания информации ультрафиолетовым излучением в корпусах микросхем РППЗУ создается закрытое кварцевым стеклом окошко, через которое облучается кристалл.

Теперь инженеру не нужно было иметь запас однократно программируемых устройств, чтобы заменить неправильно спроектированную микросхему на ис-

Конец ознакомительного фрагмента.  
Приобрести книгу можно  
в интернет-магазине  
«Электронный универс»  
[e-Univers.ru](http://e-Univers.ru)